

(11)特許出願公開番号
特開2002-170386
(P2002-170386A)

[illegible]

1

【特許請求の範囲】

【請求項 1】 行列状に配列される複数のメモリセル、各前記行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線、および各前記列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線を備え、前記複数のビット線は対をなして配設されかつ各ビット線対は第 1 および第 2 のビット線を含み、

アドレス信号と動作モード指示信号とに従って前記複数のワード線からワード線を選択する選択信号を発生するための行選択手段を備え、前記行選択手段は、前記動作モード指示信号が第 1 の動作モードを示すときには前記アドレス信号に従ってアドレス指定された行に対応するワード線を選択し、かつ前記動作モード指示信号が第 2 の動作モードを示すときには前記アドレス指定された行および関連の行を同時に選択するためのモード切換回路を含み、前記アドレス指定された行および関連の行は、各ビット線対において前記アドレス指定された行に対応するワード線と前記第 1 および第 2 のビット線的一方との交差部および前記関連の行に対応するワード線と前記第 1 および第 2 のビット線の他方との交差部に対応してそれぞれメモリセルが配置されるように選択される、半導体記憶装置。

【請求項 2】 前記第 2 の動作モードは、前記複数のメモリセルの少なくとも一部の記憶データの保持動作が行なわれる動作モードである、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記複数のメモリセルの少なくとも一部の記憶データをリフレッシュするためのリフレッシュ要求を発生するリフレッシュ要求発生回路をさらに含み、前記リフレッシュ要求発生回路は、前記動作モード指示信号が前記第 2 の動作モードを指定するとき、前記第 1 の動作モード時のリフレッシュ周期よりも長い周期で前記リフレッシュ要求を発生するための周期切換回路を含む、請求項 1 記載の半導体記憶装置。

【請求項 4】 前記行選択手段のモード切換回路は、前記第 2 の動作モード時、前記アドレス信号の最下位ビットを縮退状態とするためのゲート回路を含む、請求項 1 記載の半導体記憶装置。

【請求項 5】 前記動作モード指示信号の前記第 2 の動作モード指示への移行にตอบสนองして、所定の周期で前記複数のメモリセルの少なくとも一部の記憶データのリフレッシュを要求するリフレッシュ要求を所定回数発生しかつ各リフレッシュ要求に対応してリフレッシュ行を特定するリフレッシュアドレスを生成して前記行選択手段へ前記アドレス信号として与えるリフレッシュ制御回路と、

前記リフレッシュ要求にตอบสนองして少なくとも前記行選択手段を活性化するための行制御回路とをさらに備え、前記行選択手段のモード切換回路は、前記所定回数のリフ

2

レッシュ要求に対してはアドレス指定された行および関連の行の選択タイミングを異ならせる手段を含む、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記リフレッシュ制御回路は、前記動作モード指示信号が前記第 2 の動作モードを指示するとき、前記リフレッシュアドレスを所定値スキップして発生する回路を含む、請求項 5 記載の半導体記憶装置。

【請求項 7】 前記リフレッシュアドレスは複数のビットのアドレス信号であり、

10 前記リフレッシュ制御回路は、前記動作モード指示信号が前記第 2 の動作モードを示すとき、少なくとも前記リフレッシュアドレスの最上位ビットおよび最下位ビットの論理値を固定してリフレッシュアドレスを発生する回路を含む、請求項 5 記載の半導体記憶装置。

【請求項 8】 前記ビット線対各々に対して設けられ、活性化時対応のビット線対の電位を差動増幅するための複数のセンスアンプと、

前記複数のセンスアンプの所定数のセンスアンプに対して設けられ、各々がセンスアンプ活性化信号にตอบสนองして対応の所定数のセンスアンプへ電源供給電圧を供給するための複数のセンス駆動回路とをさらに備え、

20 前記複数のセンス駆動回路は、前記第 2 の動作モード時、前記第 1 の動作モード時よりも小さな電流駆動力で前記電源供給電圧を前記対応の所定数のセンスアンプへ伝達するゲートを含む、請求項 1 記載の半導体記憶装置。

【請求項 9】 各前記ビット線対に対応して設けられ、活性化時対応のビット線対の電位を差動増幅するための複数のセンスアンプと、

30 前記第 2 の動作モード時、前記複数のメモリセルの少なくとも一部の記憶データのリフレッシュを要求するリフレッシュ要求が発生される間隔に対応する期間、前記複数のセンスアンプの活性化されたセンスアンプの活性状態を維持するためのセンス制御回路をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 10】 前記センス制御回路は、前記リフレッシュ要求にตอบสนองして前記複数のセンスアンプを非活性化しかつ所定期間経過後活性化するための手段をさらに備える、請求項 9 記載の半導体記憶装置。

40 【請求項 11】 各前記ビット線対に対応して設けられ、活性化時対応のビット線対を少なくとも電気的に短絡するためのビット線イコライズ回路と、

前記センス制御回路による前記センスアンプの非活性化にตอบสนองして前記ビット線イコライズ回路を所定期間活性化するためのビット線イコライズ制御回路と、

前記リフレッシュ要求にตอบสนองして前記行選択手段からの選択信号に従って対応のワード線を、前記ビット線イコライズ回路の非活性化後選択状態へ駆動するための行駆動回路をさらに備える、請求項 9 記載の半導体記憶装置。

50 置。

3

【請求項 1 2】 各前記ビット線をプリチャージするためのプリチャージ電圧を発生するためのプリチャージ電圧発生回路をさらに備え、前記プリチャージ電圧発生回路は、前記動作モード指示信号が前記第 2 の動作モードを指示するとき、前記プリチャージ電圧の発生動作を停止する、請求項 9 記載の半導体記憶装置。

【請求項 1 3】 前記複数のワード線のうちの選択ワード線に伝達される昇圧電圧を昇圧線に発生するための昇圧電圧発生回路と、

前記昇圧線上の電圧レベルを前記動作モード指示信号に
10 応答して、第 1 の動作モードと第 2 の動作モードとで切
換えるためのレベル切換回路をさらに備える、請求項 1
記載の半導体記憶装置。

【請求項 1 4】 前記昇圧電圧発生回路は、前記動作モード指示信号が前記第 2 の動作モードを指示するとき前記昇圧電圧の発生を停止し、

前記レベル切換回路は、前記第 2 の動作モード時前記昇
圧線を前記昇圧電圧よりも低い電圧を受ける電源ノード
へ結合するためのゲートを備える、請求項 1 3 記載の半
20 導体記憶装置。

【請求項 1 5】 前記動作モード指示信号が前記第 1 の動作モードを示すとき活性化され、前記複数のメモリセルが形成される基板領域へ印加される基板バイアス電圧を発生するための第 1 の基板バイアス発生回路と、
前記動作モード指示信号が前記第 2 の動作モードを示すとき間欠的に活性化され、前記第 1 の基板バイアス発生回路よりも小さな電流駆動力で前記基板バイアス電圧を発生するための第 2 の基板バイアス発生回路とをさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 1 6】 前記第 2 の動作モードは、前記複数のメモリセルの少なくとも一部のメモリセルの記憶データの保持を行なう動作モードであり、
前記第 2 の動作モード時、所定間隔で前記メモリセルの記憶データのリフレッシュを要求するリフレッシュ要求を発生するためのリフレッシュ制御回路をさらに備え、
前記第 2 の基板バイアス発生回路は、前記リフレッシュ要求に応答して所定期間チャージポンプ動作を行なって前記基板バイアス電圧を発生する回路を備える、請求項 1 5 記載の半導体記憶装置。

【請求項 1 7】 前記複数のメモリセルへ伝達されるアレ
イ電源電圧を発生するためのアレイ電源回路をさらに
備え、

前記アレイ電源回路は、前記動作モード指示信号に応答して前記第 1 の動作モードと前記第 2 の動作モードとの間で前記アレイ電源電圧の電圧レベルを切換える手段を含む、請求項 1 記載の半導体記憶装置。

【請求項 1 8】 前記アレイ電源回路は、
活性化時内部電源線に第 1 の電圧レベルの内部電圧を
前記アレイ電源電圧として発生するための内部電源回
路と、

4

前記動作モード指示信号が前記第 2 の動作モードを示すとき前記内部電源回路を非活性化する手段と、

前記動作モード指示信号が前記第 2 の動作モードを示すとき前記第 1 の電圧レベルよりも低い第 2 の電圧レベルの電源電圧を受ける電源ノードに結合するゲートとを含み、前記非活性化手段および前記ゲートが前記レベル切換回路に対応する、請求項 1 7 記載の半導体記憶装置。

【請求項 1 9】 前記動作モード指示信号の第 2 の動作モード指示から前記第 1 の動作モード指示への移行に
10 応答して、前記複数のメモリセルの所定のアドレス領域のメモリセルの記憶データをリフレッシュするためのリフレッシュ制御回路をさらに備え、前記リフレッシュ制御回路は、前記行選択手段へリフレッシュ行を特定するリフレッシュアドレスを前記アドレス信号として与えるためのリフレッシュカウンタを含み、かつ前記行選択手段を前記第 2 の動作モードで動作させかつ前記所定アドレス領域のメモリセルのデータのリフレッシュ完了後前記動作モード指示信号に従って前記第 1 の動作モードで前記行選択手段を動作させるための回路を含む、請求項 1
20 記載の半導体記憶装置。

【請求項 2 0】 前記動作モード指示信号に応答して選択的に活性化され、活性化時所定の電圧レベルの内部電圧を発生するための内部電圧発生回路をさらに備え、前記内部電圧発生回路は前記動作モード指示信号が前記第 2 の動作モードを示すとき前記内部電圧を発生する動作を停止し、
前記リフレッシュ制御回路は、前記内部電圧発生回路が前記動作モード指示信号の前記第 1 の動作モード指示への移行に応答して活性化された後に前記所定のアドレス領域のリフレッシュを実行するための回路を含む、請求
30 項 1 9 記載の半導体記憶装置。

【請求項 2 1】 前記複数のビット線対に対応して設けられ、活性化時、対応のビット線対を所定電圧レベルにプリチャージするための複数の第 1 プリチャージ回路、前記複数のビット線対に対応して設けられ、活性化時、対応のビット線対を前記複数の第 1 のプリチャージ回路の各々よりも小さな電流駆動力をもって前記所定電圧レベルにプリチャージするための複数の第 2 のプリチャージ回路、および前記第 1 の動作モード時には、前記第 1
40 および第 2 のプリチャージ回路をスタンバイ時活性化し、かつ前記第 2 の動作モード時には前記第 1 のプリチャージ回路を非活性状態に固定するためのプリチャージ制御回路をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 2 2】 前記複数のビット線対は、列方向において複数のブロックに分割され、列方向に隣接するブロックはセンスアンプ回路を共有し、
前記第 1 のプリチャージ回路は、隣接ブロックのビット線対により共有され、前記第 2 のプリチャージ回路は、
50 各ブロックにおいて各ビット線対に対応して設けられ

る、請求項 21 記載の半導体記憶装置。

【請求項 23】 各前記第 2 のプリチャージ回路に対応して設けられ、対応の第 2 のプリチャージ回路と同一タイミングで活性化され、活性化時、対応のビット線対を電氣的に短絡するための複数のイコライズ回路をさらに備え、前記複数のイコライズ回路の各々は、対応の第 2 のプリチャージ回路よりも電流駆動能力が大きい、請求項 22 記載の半導体記憶装置。

【請求項 24】 前記ビット線対へ伝達される所定電圧を発生するための所定電圧発生回路、および前記第 2 の動作モード時前記所定電圧発生回路を所定間隔で電源ノードへ結合するための電源制御回路をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 25】 前記第 2 の動作モードは、前記メモリの記憶データを保持するセルフリフレッシュモードを含み、

前記所定間隔は、前記セルフリフレッシュモードにおいて前記メモリの記憶データのリフレッシュが行なわれるリフレッシュ間隔であり、前記リフレッシュの実行時、前記電源制御回路は、前記所定電圧発生回路を前記電源ノードに結合する、請求項 24 記載の半導体記憶装置。

【請求項 26】 前記第 2 の動作モードは、さらに、前記セルフリフレッシュモードの前に行なわれるツインセル書込モードを含み、前記ツインセル書込モード時、前記複数のメモリの保持データの再書込が行なわれ、前記電源制御回路は、前記ツインセル書込モード時前記電源ノードを前記所定電圧発生回路に結合する、請求項 25 記載の半導体記憶装置。

【請求項 27】 前記第 2 の動作モードは、前記メモリの記憶データのリフレッシュを行なうリフレッシュモードであり、

前記半導体記憶装置はさらに、

前記リフレッシュモード時、前記所定間隔でリフレッシュ要求を発行する手段と、

前記リフレッシュ要求にตอบสนองして、前記メモリの行を選択する動作を活性化するためのリフレッシュ活性化信号を発生するためのリフレッシュ制御回路と、

前記リフレッシュ活性化信号を遅延するための遅延回路と、

前記遅延回路から遅延リフレッシュ活性化信号に従って前記リフレッシュ行を選択する動作を行なう行系回路を備え、

前記電源制御回路は、前記リフレッシュモード時、前記リフレッシュ活性化信号に従って前記電源ノードを前記所定電圧発生回路に結合する、請求項 24 記載の半導体記憶装置。

【請求項 28】 前記遅延回路は、テストモード指示信号にตอบสนองして遅延時間を変更するための回路を含む、請求項 27 記載の半導体記憶装置。

【請求項 29】 行列状に配列される複数のメモセルを有するメモセルアレイ、

内部データバス、およびアレイ活性化指示信号にตอบสนองして活性化され、前記メモセルアレイから行を選択する行選択回路を備え、前記行選択回路は、第 1 のアドレスに従って前記メモセルアレイの第 1 の行を選択し、かつ第 2 のアドレスに従って前記メモセルアレイの第 2 の行を選択し、さらに前記内部データバスと別に設けられる再配置データバス、

10 データ再配置書込指示信号の非活性化時活性化され、列アドレス信号に従って前記メモセルアレイの前記第 1 の行のメモセルが接続する列を選択し、該選択列を前記内部データバスに結合するための列選択回路、

前記データ再配置書込指示信号の活性化時活性化され、前記列アドレス信号に従って前記メモセルアレイの前記第 2 の行のメモセルが接続する列を選択し、該選択列を前記再配置データバスに結合するための再配置列選択回路、および前記内部データバスのデータを増幅しかつラッチするためのプリアンプ、およびデータ再配置動作モード指示信号の活性化時活性化され、前記プリアンプの出力するデータを前記再配置データバスに転送するデータバッファを備える、半導体記憶装置。

【請求項 30】 前記メモリアレイは複数のメモリブロックに分割され、前記データ再配置書込指示信号はデータ保持領域のメモリブロックに対して活性化される、請求項 29 記載の半導体記憶装置。

【請求項 31】 前記メモセルアレイは、各々が行列状に配列される複数のメモセルを有する複数のメモリブロックに分割され、

30 前記行選択回路は、前記データ再配置動作モード指示信号の活性化時前記第 1 の行および前記第 2 の行を並行して選択状態へ駆動し、前記第 1 および第 2 の行は異なるメモリブロックに配置される、請求項 29 記載の半導体記憶装置。

【請求項 32】 前記データ再配置動作モード指示信号の活性化時、外部からの行選択指示にตอบสนองして所定の時間幅を有するパルス信号を前記アレイ活性化指示信号として発生して前記行選択回路を活性化する行選択制御回路をさらに備える、請求項 31 記載の半導体記憶装置。

40 【請求項 33】 行列状に配列される複数のメモセルを有するメモセルアレイ、

前記メモセルアレイの選択メモセルとデータの授受を行なうための内部データバス、およびアレイ活性化指示信号の活性化にตอบสนองして活性化され、前記メモセルアレイから行を選択するための行選択回路を備え、前記行選択回路は、第 1 のアドレスに従って前記メモセルアレイの第 1 の行を選択し、かつ第 2 のアドレスに従って前記メモセルアレイの第 2 の行を選択し、さらに前記列に対応して設けられ、前記アレイ活性化指示信号の活性化にตอบสนองして活性化され、対応の列のデータを検

知、増幅、およびラッチする複数のセンスアンプ、データ再配置書込指示信号の非活性化時活性化され、列アドレス信号に従って前記メモリセルアレイの前記第1の行のメモリセルが接続する列を選択し、該選択列を前記内部データバスに結合するための列選択回路、前記データ再配置書込指示信号の活性化時活性化され、前記列アドレス信号に従って前記メモリセルアレイの前記第2の行のメモリセルが配置される列を選択し、該選択列を前記内部データバスに結合するための再配置列選択回路、

前記データ再配置書込指示信号の活性化時活性化され前記再配置列選択回路の列選択動作の回数をカウントし、該カウント値が所定値に到達するまで前記行選択回路の前記第2のアドレスに対応する行の選択状態への駆動動作を停止させ、かつ該カウント値が前記所定値に到達すると前記行選択回路の前記第2のアドレスに従う行の選択状態への駆動を活性化するための再配置制御回路、および前記内部データバスのデータを増幅しかつラッチするプリアンプを備え、前記プリアンプは、再配置動作モード指示信号の活性化時該出力データをラッチし、さらに前記データ再配置書込指示信号の活性化時活性化され、前記プリアンプの出力するデータを前記内部データバスに転送するためのデータバッファを備える、半導体記憶装置。

【請求項34】 前記再配置制御回路のカウントの所定値は、前記列の数に対応する、請求項33記載の半導体記憶装置。

【請求項35】 行列状に配列される複数のメモリセルを有するメモリセルアレイ、前記メモリセルアレイの選択メモリセルとデータの授受を行なうための内部データバス、前記メモリセルアレイから行を選択するための行選択回路を備え、前記行選択回路は、データ再配置動作モード指示信号の活性化時、第1のアドレスに従って前記メモリセルアレイの第1の行を選択し、かつ第2のアドレスに従って前記メモリセルアレイの第2の行を選択し、さらに前記内部データバス上に読出された選択メモリセルからのデータを増幅するためのプリアンプ、データ再配置書込指示信号の非活性化時列選択指示にตอบสนองして活性化され、列アドレス信号に従って前記メモリセルアレイの前記第1の行のメモリセルが配置される列を選択し、該選択列を前記内部データバスに結合するための列選択回路、前記データ再配置書込指示信号の活性化時前記列選択指示にตอบสนองして前記列選択回路の活性化の所定時間後に活性化され、前記列アドレス信号に従って前記メモリセルアレイの前記第2の行のメモリセルが配置される列を選択し、該選択列を前記内部データバスに結合するための再配置列選択回路、前記列選択指示にตอบสนองして活性化されるプリアンプ活性

化信号にตอบสนองして活性化され、前記内部データバスのデータを増幅しかつラッチするためのプリアンプ、および前記プリアンプ活性化信号の活性化にตอบสนองして前記プリアンプよりも遅れて活性化され、前記プリアンプの出力するデータを前記内部データバスに転送するための転送バッファを備える、半導体記憶装置。

【請求項36】 前記行選択回路は、少なくともアレイ活性化信号の活性化にตอบสนองして前記第1のアドレスによりアドレス指定された行を選択状態に駆動する、請求項35記載の半導体記憶装置。

【請求項37】 前記行選択回路は、前記アレイ活性化信号の活性化とデータ再配置書込指示信号の非活性化とにตอบสนองして前記第1のアドレスにより指定された行を選択状態に駆動しかつ前記アレイ活性化指示信号および前記再配置動作モード指示信号の活性化時、前記再配置列選択回路の列選択動作完了後前記第2のアドレスによりアドレス指定された行を選択状態へ駆動する、請求項36記載の半導体記憶装置。

【請求項38】 前記列に対応して配置され、かつ前記アレイ活性化信号にตอบสนองして活性化され、対応の列のデータを検知、増幅、およびラッチする複数のセンスアンプをさらに備える、請求項37記載の半導体記憶装置。

【請求項39】 前記再配置データバスは、前記メモリセルアレイの選択メモリセルへ書込データを伝達するための内部書込データバスであり、かつ前記内部データバスは、前記メモリセルアレイの選択メモリセルから読出されたデータを転送する内部読出データバスである、請求項29記載の半導体記憶装置。

【請求項40】 前記再配置動作モード指示信号の活性化時、列選択指示信号にตอบสนองして列アドレスを生成して前記列選択回路へ与える内部列アドレス発生回路をさらに備える、請求項29、33または35記載の半導体記憶装置。

【請求項41】 行列状に配置される複数のメモリセルを有するメモリセルアレイ、アレイ活性化指示信号にตอบสนองして前記メモリセルアレイの行を選択するための行選択回路、内部データを転送するための内部データバス、列選択指示にตอบสนองして前記メモリセルアレイの列を選択して前記内部データバスへ結合する列選択回路、およびデータ再配置指示にตอบสนองして、前記列選択回路および前記内部データバスを介して前記行選択回路により選択された第1の行から前記行選択回路により選択された第2の行へデータを転送する転送回路を備える、半導体記憶装置。

【請求項42】 行列状に配列される複数のメモリセル、アレイ活性化信号にตอบสนองしてアドレス指定された行を選択状態に駆動する行選択回路、列選択指示にตอบสนองして、アドレス指定された列を選択す

るための列選択回路、

内部データバス、

プリアンプ活性化信号に応答して前記内部データバスのデータを増幅しかつラッチするプリアンプ、および再配置書込指示信号に応答して、前記プリアンプの出力データを前記内部データバスに転送する転送バッファを備え、前記プリアンプは、前記列選択指示に応答して活性化され、かつ前記再配置書込指示信号の非活性化に responding して非活性化される、半導体記憶装置。

【請求項 4 3】 前記列選択指示の活性化に responding して活性化されかつ前記再配置書込指示信号の非活性化に responding して活性化され、活性化時前記内部データバスを所定電圧レベルにイコライズするバスイコライズ回路をさらに備える、請求項 4 2 記載の半導体記憶装置。

【請求項 4 4】 前記列選択回路は、前記データ再配置書込指示信号の非活性化時前記列アドレス信号にしたがって前記列選択信号を生成し、

前記再配置列選択回路は、前記データ再配置書込指示信号の活性化時前記列アドレス信号にしたがって前記再配置列選択信号を生成し、

前記データ再配置書込指示信号は、前記第 1 のアドレスが指定する行に対応する領域に対しては非活性化され、かつ前記第 2 のアドレスが指定する行に対応する領域に対しては活性化される、請求項 2 9 記載の半導体記憶装置。

【請求項 4 5】 前記列選択回路は、列アドレス信号に対応する列指定信号を前記データ再配置書込指示信号の非活性化時選択し、該列指定信号にしたがって前記列選択信号を生成し、

前記再配置列選択回路は、前記データ再配置書込指示信号の活性化時前記列指定信号の遅延信号を選択し、該選択遅延列指定信号にしたがって前記再配置列選択信号を生成し、前記データ再配置書込指示信号は、前記第 1 のアドレスが指定する行に対応する領域に対しては非活性化され、かつ前記第 2 のアドレスが指定する行に対応する領域に対しては活性化される、請求項 3 3 記載の半導体記憶装置。

【請求項 4 6】 前記列選択回路は、前記データ再配置書込指示信号の非活性化時前記列アドレスに対応する読出列指定信号にしたがって読み出し列選択ゲートに対する読出列選択信号を生成しかつ書込列選択ゲートに対する書込列選択信号の生成が禁止され、

前記再配置列選択回路は、前記データ再配置書込指示信号の活性化時前記列アドレスに対応する読出列指定信号にしたがって書込列選択ゲートに対する書込列選択信号を生成しかつ前記読出列指定信号に従う読出列選択ゲートに対する読出列選択信号の生成が禁止され、

各列には前記内部読出データバスに対応の列を接続するための読出列選択ゲートと、前記内部書込データバスに対応の列を接続するための書込列選択ゲートとが設けら

れる、請求項 3 9 記載の半導体記憶装置。

【請求項 4 7】 前記内部データバスは、内部データ線と、前記内部データ線と別に設けられる再配置データ線とを含み、

前記列選択回路は、前記内部データ線と対応の列とを接続し、前記再配置列選択回路は前記再配置データ線と対応の列とを接続し、前記プリアンプは前記内部データ線のデータを増幅し、かつ前記転送バッファは、前記再配置データ線に前記プリアンプの出力データを転送する、請求項 3 5 記載の半導体記憶装置。

【請求項 4 8】 各々が複数のメモリセルを有する複数のメモリブロックを有するメモリアレイ、

ブロック選択アドレスに従って前記複数のメモリブロックのうちの指定されたメモリブロックを選択するブロック選択信号を発生するブロック選択信号発生回路、およびデータアクセスが行なわれる通常動作モードと異なる第 1 の動作モード時に、前記ブロック選択信号とメモリブロックとの対応関係をメモリブロック単位で変更するためのブロック変更回路を備える、半導体記憶装置。

【請求項 4 9】 前記ブロック変更回路は、前記通常動作モード時に前記ブロック選択信号と前記メモリブロックとの対応関係の変更を禁止する、請求項 4 8 記載の半導体記憶装置。

【請求項 5 0】 前記ブロック変更回路は、前記ブロック選択信号を伝達するブロック選択信号線の接続を切換えるためのヒューズプログラム回路を含む、請求項 4 8 記載の半導体記憶装置。

【請求項 5 1】 前記ブロック変更回路は、前記第 1 の動作モード時において、第 1 のメモリブロックを第 2 のメモリブロックで置換するための回路を含む、請求項 4 8 記載の半導体記憶装置。

【請求項 5 2】 前記第 1 のメモリブロックを前記の第 1 の動作モード時にスタンバイ状態に保持するためのブロック制御回路をさらに備える、請求項 5 1 記載の半導体記憶装置。

【請求項 5 3】 前記ブロック制御回路は、前記第 1 の動作モード時、前記第 1 のメモリブロックへの電圧の供給を停止するための回路を備える、請求項 5 2 記載の半導体記憶装置。

【請求項 5 4】 第 2 の動作モード時、前記メモリアレイをメモリブロック単位でスタンバイ状態に設定するための回路をさらに備える、請求項 4 8 記載の半導体記憶装置。

【請求項 5 5】 前記メモリセルは、キャパシタにデータを記憶するダイナミック型メモリセルであり、

前記第 1 の動作モードは、1 ビットのデータにこのメモリセルで記憶する動作モードであり、前記第 2 の動作モードは、前記第 2 のメモリブロック単位で消費電流を検出するテストモードである、請求項 5 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、半導体記憶装置の低消費電力化のための構成に関する。より特定的には、この発明は、システムLSIに用いられる混載DRAM（ダイナミック・ランダム・アクセス・メモリ）の低消費電力化のための構成に関する。

【0002】

【従来の技術】DRAMをプロセッサまたはASIC（特定用途向けIC）などのロジックと混載するシステムLSIにおいては、DRAMとロジックの間が、128ビットから512ビットの多ビットの内部データバスで接続される。この内部データバスは、チップ上配線であり、その寄生容量および寄生抵抗は、ボード上配線に比べて小さく、汎用の高速DRAMに比べて、高速のデータ転送速度を実現することができる。また、汎用DRAMがロジックの外部に設けられ、ボード上配線を介してロジックと汎用DRAMを接続する構成に比べて、ロジックの外部データ入出力ピン端子数を低減でき、かつロジックとDRAMとの間のデータのバス線の負荷容量も1桁以上低減することができるため、このシステムLSIは、消費電流を大幅に低減することができる。これらの利点から、システムLSIは、3次元グラフィック処理、画像・音声処理等の大量のデータを扱う情報機器の高性能化に大きく寄与している。

【0003】図96は、システムLSIに用いられる従来の混載DRAMの全体の構成を概略的に示す図である。図96において、混載DRAMは、複数のメモリアレイMA0-MAnと、メモリアレイMA0-MAnの間に配設されるセンスアンプ帯SB1-SBnと、メモリアレイMA0およびMAnの外部に配置されるセンスアンプ帯SB0およびSBn+1を含む。メモリアレイMA0-MAnの各々は、サブワードドライバ帯SWDBにより複数のメモリサブアレイMSAに分割される。

【0004】メモリサブアレイMSAにおいては行列状にメモリセルが配列され、各行に対応してサブワード線SWLが配置される。メモリアレイMA0-MAnの各々において、サブワードドライバ帯SWDBにより分割されるメモリサブアレイMSAに共通にメインワード線MWLが配設される。メインワード線MWLは、対応のメモリアレイの各メモリサブアレイMSAの所定数のサブワード線に対応してそれぞれ配置される。

【0005】サブワードドライバ帯SWDBにおいては、サブワード線SWLに対応してサブワードドライバが配置される。このサブワードドライバは、対応のメインワード線MWL上の信号と図示しないサブデコード信号とに従って対応のサブワード線を選択状態へ駆動する。

【0006】センスアンプ帯SB0-SBn+1におい

ては、それぞれ対応のメモリアレイの列に対応してセンスアンプ回路が配置される。センスアンプ帯SB1-SBnの各々は、隣接メモリアレイにより共有される。メモリアレイMA0-MAnに対応してメインワード線をロウアドレス信号に従って選択するロウデコードが配置され、またロウデコードと整列して、コラムアドレス信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコードが配置される。列選択線CSLはセンスアンプ帯に配設され、選択時所定数のセンスアンプ回路を内部データバス線対GIOpの群に接続する。内部データ線対GIOpは、所定数がメモリアレイMA0-MAn上をわたって延在して配設され、ローカルデータ線LIOを介して、選択されたセンスアンプ回路と結合される。ロウデコードおよびコラムデコードをロウ/コラムデコード帯RCDBに整列して配置することにより、列選択線CSL上の列選択信号の伝搬距離を短くし、高速の列選択を実現する。

【0007】内部データ線対GIOpは、128ビットから512ビット設けられ、プリアンプおよびライトドライバを含むデータバス帯DPBに結合される。このデータバス帯DPBにおいては、グローバルデータ線対GIOpそれぞれに対応してプリアンプおよびライトドライバが配置される。グローバルデータ線対GIOpは、書込データおよび読出データ両者を伝達するデータ線対であってもよく、また読出データを伝達するバス線対および書込データを伝達する書込データ線対が別々にグローバルデータ線対として設けられてもよい。

【0008】混載DRAMは、さらに、ロジックから与えられるたとえば13ビットA0-A12の外部アドレスを受けるロウアドレス回路/リフレッシュカウンタRAFKおよびコラムアドレス入力回路CAKと、ロジックから与えられる外部制御信号を受け、各種動作を指定する内部制御信号を生成するコマンドデコード/制御回路CDCと、データバス帯DPBとロジックとの間でデータの転送を行なうためのデータ入出力コントローラDIOKを含む。

【0009】コマンドデコード/制御回路CDCは、クロック信号CLK、クロックイネーブル信号CKE、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WEおよびデータマスク信号DMを受け、これらの制御信号CKE、/RAS、/CAS、/WEおよびDMのクロック信号CLKの立上がりエッジにおける論理状態に応じて指定された動作モードを判別する。ここで、「コマンド」は、これらの複数の制御信号CKE、/RAS、/CAS、/WEのクロック信号CLKの立上がりエッジにおける論理状態の組合せを示す。データマスク信号DMは、データ入出力コントローラDIOKに与えられるデータに対し、バイト単位で書込のマスクを指示する。

コマンドデコーダ/制御回路CDCは、ロジックから与えられるコマンドをデコードし、このコマンドにより指定される動作モードを指示する動作モード指示信号を生成し、指定された動作モードを行なうための各種内部制御信号を生成する。コマンドには、行を選択状態に設定するためのロウアクティブコマンド、データ読出を指示するリードコマンド、データ書込を指示するライトコマンド、選択行を非選択状態へおくためのプリチャージコマンド、リフレッシュ動作を行なうためのオートリフレッシュコマンド、セルフリフレッシュを行なうためのセルフリフレッシュコマンドなどが含まれる。

【0010】ロウアドレス入力回路/リフレッシュカウンタRAFKは、ロウアクティブコマンドが与えられると、コマンドデコーダ/制御回路CDCの制御の下に、外部アドレスビットA0-A12を、ロウアドレスとして取込み、内部ロウアドレス信号を生成する。このロウアドレス入力回路/リフレッシュカウンタRAFKは、与えられたアドレスビットをバッファ処理するアドレスバッファと、バッファ回路の出力信号をラッチするアドレスラッチを含む。ロウアドレス入力回路/リフレッシュカウンタRAFKに含まれるリフレッシュカウンタは、オートリフレッシュコマンドまたはセルフリフレッシュコマンドが与えられたとき、リフレッシュ行を指定するリフレッシュアドレスを生成する。リフレッシュ動作完了後、このリフレッシュカウンタのカウント値が増分または減分される。コラムアドレス入力回路CAKは、リードコマンドまたはライトコマンドが与えられると、コマンドデコーダ/制御回路CDCの制御の下に、たとえばアドレスビットA0-A4の下位の外部アドレスビットを取込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路CAKも、アドレスバッファおよびアドレスラッチを含む。

【0011】ロウアドレス入力回路/リフレッシュカウンタRAFKからの内部ロウアドレス信号はロウプリデコードRPDへ与えられ、コラムアドレス入力回路CAKからの内部コラムアドレス信号は、コラムプリデコードCPDへ与えられる。ロウプリデコードRPDは、与えられたロウアドレス信号をプリデコードして、プリデコード信号をロウ/コラムデコーダ帯RCDBに含まれるロウデコーダへ与える。コラムプリデコードCPDは、コラムアドレス入力回路CAKからの内部コラムアドレス信号をプリデコードし、プリデコード信号をロウ/コラムデコーダ帯RCDBに含まれるコラムデコーダへ与える。

【0012】コマンドデコーダ/制御回路CDCは、リードコマンドまたはライトコマンドを受けると、データ入出力コントローラDIOKおよびデータバス帯DPBに含まれるプリアンプまたはライトドライバの動作の制御を行なうための内部制御信号を生成する。クロック信号CLKは、この混載DRAMの内部動作タイミングを

決定する基準信号として利用される。

【0013】データ入出力コントローラDIOKは、クロック信号CLKに同期してデータの入出力を行ない、またロウアドレス入力回路/リフレッシュカウンタRAFKのロウアドレス入力回路およびコラムアドレス入力回路CAKは、クロック信号CLKに同期して、与えられたアドレスビットの取込みおよびラッチを行なう。

【0014】混載DRAMは、さらに、内部電圧VPP、VCCS、VCCP、VBL、およびVCPを発生する内部電圧発生回路と、セルフリフレッシュモードが指定されたとき（セルフリフレッシュコマンドが与えられたとき）、所定の間隔で、リフレッシュ要求信号FAYを活性化するセルフリフレッシュタイマを含むブロックPHKを含む。内部電圧VPPは、選択サブワード線SWL上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧VCCSは、センスアンプ帯SB0-SBn+1に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部降圧回路により生成される。電圧VCCPは、周辺電源電圧であり、ロウ/コラムデコーダ帯RCDBに含まれるロウデコーダおよびコラムデコーダ、およびデータバス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧である。電圧VBLは、後に説明するビット線プリチャージ電圧である。電圧VCPは、メモリセルのセルプレートへ与えられるセルプレート電圧であり、メモリセルデータのHレベルの電圧およびLレベルの電圧の中間レベルである。これらの電圧VBLおよびVCPは、通常アレイ電源電圧（センス電源電圧）VCCSの1/2の中間電圧である。

【0015】ブロックPHKのセルフリフレッシュタイマは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間 t_{REFmax} で、メモリアレイMA0-MA_nのすべての行のリフレッシュが1回完了するように、所定の間隔で、リフレッシュ要求信号FAYを発行する。メモリアレイMA0-MA_nのすべての行をリフレッシュするのに必要なリフレッシュ回数を N_{ref} とすると、リフレッシュ要求信号FAYは、 t_{REFmax}/N_{ref} の周期で発行される。たとえば、 $N_{ref}=4096$ の4Kリフレッシュモードにおいては、最大リフレッシュ時間 t_{REFmax} が64msであれば、リフレッシュ要求信号FAYは、16μsごとに発行される。

【0016】セルフリフレッシュモードにおいては、メモリセルの記憶データを保持するために、所定の周期でメモリアレイ内においてメモリセルデータのリフレッシュが実行される。セルフリフレッシュモードは、通常、スリープモード時、すなわち、システムLSIが長期にわたってスタンバイ状態にあるときに設定される。したがって、このスリープモードにおいては、メモリセルの記憶データを保持することが要求されるだけであり、消

費電力の観点からリフレッシュ間隔はできるだけ長くするのが望ましい。

【0017】図97は、センスアンプ帯に含まれるセンスアンプ回路およびその周辺部の構成を示す図である。図97において、センスアンプSAKは、ビット線BLLおよびZBLLにビット線分離ゲートBIGLを介して結合され、またビット線分離ゲートBIGRを介して他方のメモリブロックのビット線BLRおよびZBLRに結合される。ビット線分離ゲートBIGLおよびBIGRは、それぞれビット線分離指示信号BLILおよびBLIR

10 10 20 30 40 50
【0018】センスアンプSAKは、ビット線BLLおよびBLRにビット線分離ゲートBIGLおよびBIGRを介して結合される共通ビット線CBLおよびビット線分離ゲートBIGLおよびBIGRを介してビット線ZBLLおよびZBLRに結合される共通ビット線ZCBL上の電位を差動増幅する。センスアンプSAKは、交差結合されるPチャネルMOSトランジスタP1およびP2と、交差結合されるNチャネルMOSトランジスタN1およびN2を含む。センスアンプ活性化信号ZSOPの活性化にตอบสนองして導通しセンス電源電圧VCCSをセンスアンプSAKのセンス電源ノードS2Pに伝達するセンス活性化用のPチャネルMOSトランジスタP3と、センス活性化信号SONの活性化時導通し、センス接地ノードS2Nを接地ノードに結合するセンス活性化用NチャネルMOSトランジスタN3がセンスアンプ駆動回路として設けられる。共通ビット線CBLおよびZCBLは、また、列選択ゲートCSGを介してローカルデータ線対LIOに結合される。このローカルデータ線対LIOは、グローバルデータ線GIOおよびZGIOに結合される。

【0019】また、ビット線BLLおよびZBLLに対して、ビット線イコライズ指示信号BLEQLの活性化にตอบสนองして活性化され、ビット線BLLおよびZBLLにビット線プリチャージ電圧VBLを伝達するビット線プリチャージ/イコライズ回路BEQLが設けられ、ビット線BLRおよびZBLRに対し、ビット線イコライズ指示信号BLEQRにตอบสนองして活性化され、ビット線BLRおよびZBLRにビット線プリチャージ電圧VBLを伝達するビット線プリチャージ/イコライズ回路BEQRが設けられる。

【0020】ビット線BLLおよびZBLLおよびビット線BLRおよびZBLRに交差する方向に、それぞれサブワード線が設けられ、交差部に、メモリセルMCが配置される。図97において、ビット線BLLおよびZBLLに交差するサブワード線SWLと、サブワード線SWLとビット線ZBLLの交差部に対応して配置されるメモリセルMCを代表的に示す。メモリセルMCは、情報を記憶するためのメモリキャパシタMQと、サブワード線SWLの電位にตอบสนองして導通し、メモリキャパシ

タMQをビット線ZBLLに結合するNチャネルMOSトランジスタで構成されるアクセストランジスタMTを含む。このメモリキャパシタMQのストレージノードSNの電位が、記憶情報に応じて決定され、また、このストレージノードと対向するセルプレートには、セルプレート電圧VCPが印加される。

【0021】スタンバイ状態においては、ビット線分離指示信号BLILおよびBLIRは、たとえば昇圧電圧VPPレベルのHレベルであり、ビット線分離ゲートBIGLおよびBIGRは導通状態にあり、ビット線BLL、CBLおよびBLRが結合されかつ補のビット線ZBLL、ZCBLおよびZBLRが結合される。このとき、また、ビット線イコライズ指示信号BLEQLおよびBLEQRも活性状態にあり、ビット線プリチャージ/イコライズ回路BEQLおよびBEQRにより、ビット線BLL、CBL、およびBLRならびに補のビット線ZBLL、ZCBL、およびZBLRは、プリチャージ電圧VBLにプリチャージされかつイコライズされている。

【0022】ロウアクティブコマンドが与えられ、ロウアクセスが行なわれるとき、選択行(サブワード線)を含むメモリブロックのビット線分離ゲートは導通状態を維持し、一方、この選択メモリアレイ(選択サブワード線を含むメモリアレイ)とセンスアンプを共有する非選択のメモリアレイのビット線分離ゲートは非導通状態となる。今、図97に示すサブワード線SWLが選択される場合を想定する。この場合には、ビット線イコライズ信号BLEQLがLレベルの非活性状態となり、ビット線プリチャージ/イコライズ回路BEQLが非活性化される。また、ビット線分離指示信号BLIRが、Lレベルへ駆動され、ビット線分離ゲートBIGRが非導通状態となり、ビット線BLRおよびZBLRは、共通ビット線CBLおよびZCBLから切り離される。この状態においては、選択メモリアレイのビット線BLLおよびZBLLは、プリチャージ電圧VBLでフローティング状態となる。ビット線イコライズ指示信号BLEQRはHレベルの活性状態にあり、ビット線BLRおよびZBLRは、ビット線プリチャージ電圧VBLレベルにビット線プリチャージ/イコライズ回路BEQRにより保持される。

【0023】次いで、行選択動作が行なわれ、選択サブワード線の電位が立上がる。すなわちサブワード線SWLのレベルが上昇すると、メモリセルMCのメモリアクセストランジスタMTが導通し、メモリキャパシタMQのストレージノードSNが対応のビット線(ZBLL)に結合される。したがって、このメモリセルのキャパシタMQに蓄積された電荷が、ビット線ZBLL上に読出される。ビット線BLLには、選択メモリセルは接続されていないため、ビット線BLLは、中間電圧レベルのビット線プリチャージ電圧VBLに保持されている。

今、ビット線BLLおよびZBLLそれぞれの寄生容量をCB、メモリキャパシタMQのキャパシタンス値をCSとし、ストレージノードSNの電位をV(SN)とすると、このビット線BLLおよびZBLLの間の電位差ΔVは、次式で表わされる。

【0024】

$$\Delta V = 0.5 \cdot V(SN) \cdot CS / (CS + CB)$$

次いで、センスアンプ活性化信号ZSPおよびSONが活性化され、センスアンプ活性化用のMOSトランジスタP3およびN3が導通し、センス電源供給ノードS2PおよびS2Nへ、センス電源電圧VCCSおよび接地電圧がそれぞれ伝達される。センス電源ノードS2Pおよびセンス接地ノードS2Nにセンス電源電圧VCCSおよび接地電圧が伝達されると、センスアンプSAKが活性化されセンス動作を開始する。一般的に、NチャネルMOSトランジスタN1およびN2のしきい値電圧が、PチャネルMOSトランジスタP1およびP2のしきい値電圧の絶対値より小さいため、先に、MOSトランジスタN1およびN2によるNセンスアンプがセンス動作を開始し、ビット線BLLおよびZBLLから共通ビット線CBLおよびZCBLに伝達された電位差を増幅する。すなわちこのMOSトランジスタN1およびN2により、共通ビット線CBLおよびZCBLの低電位の共通ビット線が接地電圧レベルに駆動される。少し遅れて、PチャネルMOSトランジスタP1およびP2より、これらの共通ビット線CBLおよびZCBLの高電位の共通ビット線電位が、センス電源電圧VCCSレベルまで駆動される。

【0025】共通ビット線CBLおよびZCBLにLレベルのデータが伝達された場合、このLレベルのデータを受ける共通ビット線の電圧は、プリチャージ電圧VBLよりも低い。一方、Hレベルデータが読出された場合には、このHレベルデータを受ける共通ビット線の電圧はプリチャージ電圧VBLよりも高い。したがって、MOSトランジスタN1およびN2は、Lレベルデータが読出された場合にはそのゲートソース間電圧がHレベルデータが読出された場合よりも低くなるため、Hレベルデータ読出時に比べてLレベル読出時にはNチャネルMOSトランジスタN1およびN2のセンス動作が遅くなる。

【0026】センスアンプSAKがセンスする電圧は、メモリセルMCのストレージノードSNの電圧V(SN)に比例する大きさを有する。したがって、センスアンプSAKが正確に動作するようにセンスマージンを大きくするためには、このメモリセルから読出される電荷量をできるだけ大きくする必要がある。ストレージノードSNのLレベル時のデータの記憶時の電圧レベルは接地電圧VSSレベルであり、またこのストレージノードSNに、Hレベルデータが記憶される場合には、ストレージノードSNの電圧V(SN)はセンス電源電圧VC

CSレベルである。このストレージノードSNのHレベルデータ記憶時の電圧レベルをできるだけ高くするために、サブワード線SWLへは、昇圧電圧VPPが伝達される。この昇圧電圧VPPは、センス電源電圧VCCSとアクセストランジスタMTのしきい値電圧の和よりも十分高い電圧レベルである。この昇圧電圧VPPをサブワード線SWLに伝達することにより、メモリアクセストランジスタMTのしきい値電圧損失を伴うことなく、センス電源電圧VCCSを、ストレージノードSNに伝達することができる。

【0027】センスアンプSAKによるセンス動作が完了すると、ビット線BLLおよびZBLLは、センス電源電圧VCCSおよび接地電圧レベルに駆動される。この後、リードコマンドまたはライトコマンド(コラムアクセスコマンド)が与えられると、列選択動作が行なわれ、列選択線CSL上の列選択信号が活性化され、列選択ゲートCSGが導通し、共通ビット線CBLおよびZCBLが、ローカルデータ線LIOを介してグローバルデータ線GIOおよびZGIOに結合されて、データの書込または読出が行なわれる。

【0028】図98は、メモリセルの断面構造を概略的に示す図である。図98において、P型基板領域900表面に、間を置いてN型不純物領域901aおよび901bが形成される。これらの不純物領域901aおよび901bの間のチャネル領域上に、図示しないゲート絶縁膜を介してワード線WLとなる第1の導電層902が形成される。不純物領域901aは、ビット線BLとなる第2の導電層903に接続され、不純物領域901bは、ストレージノードSNとなる第3の導電層904に接続される。この第3の導電層904は、不純物領域901bに接続される脚部と、この脚部上部の中空構造の円筒形部分とを有する。この円筒形部分にキャパシタ絶縁膜905を介してセルプレート電極となる第4の導電層906が配設される。このセルプレートとなる第4の導電層906は、メモリサブアレイ単位で対応のメモリサブアレイ上に延在して配設されかつ共通にセルプレート電圧VCPを受ける。第3の導電層904の上部の円筒形領域と第4の導電層906のキャパシタ絶縁膜905を介して対向する領域が、メモリセルキャパシタとして機能する。

【0029】メモリアクセストランジスタMTは、不純物領域901aおよび901bと、第1の導電層902とで形成され、基板領域900が、このメモリアクセストランジスタのバックゲートとして機能する。基板領域900へは、負電圧Vbbが印加される。第3の導電層904の電位が、記憶データに応じて決定される。しかしながら、図98に破線で示すように、このストレージノードSNの接合容量(不純物領域901bと基板領域900の間のPN接合)におけるリーク電流および第2の導電層902の下のチャネル領域に対するリーク電

流、およびキャパシタ絶縁膜 905 に対するリーク電流などの種々のリーク電流により、このメモリキャパシタに蓄積された電荷が減少する。

【0030】図 99 は、ストレージノード SN の電位レベルの時間変化を示す図である。この図 99 においては、ビット線 BL にはプリチャージ電圧 $V_{BL} (=V_{CCS}/2)$ が印加され、ワード線 WL (サブワード線 SWL) に接地電圧 V_{SS} が印加されたときの電圧変化を示す。リーク電流によりストレージノード SN の電圧 $V(SN)$ は、次式で表わされる時間依存性を有する。

$$【0031】V(SN) \approx V_{bb} + (V_{CCS} - V_{bb}) \cdot \exp(-T/\tau_a)$$

ここで T は時間を示す。係数 τ_a は、“H” レベルデータを記憶するメモリセルの電荷保持特性を示す特性値である。この特性値 τ_a が大きければ、メモリセルの電荷保持時間が長いことを示す。

【0032】ストレージノード SN に、H レベルデータが書込まれたとき、このストレージノードの電圧 $V(SN)$ は、センス電源電圧 V_{CCS} レベルである。時間 T が経過するにつれて、接合間のリーク電流に従ってストレージノード電圧 $V(SN)$ が徐々に低下する。時刻 T_1 におけるストレージノードの電圧 V_{cr} のときにメモリセルデータをビット線に読出した場合、ビット線間の電位差 $(V_{cr} - V_{BL}) \cdot C_s / (C_s + C_b)$ がセンスアンプの感度以下となる。ここで、 C_s および C_b はメモリセルキャパシタおよびビット線寄生容量の容量値をそれぞれ示す。すなわち、この時間 T_1 を経過すると、センスアンプが誤動作し、H レベルデータを L レベルデータへと増幅する H データの読出エラーが生じる。したがって、このメモリセルに対し、時間 T_1 以内に、リフレッシュを行なう必要がある。特性値 τ_a は、メモリセルごとにより異なり（製造パラメータのばらつきによる）、リフレッシュ間隔は最悪ケースで決定される。すなわち、この半導体記憶装置内で一番短いデータ保持時間を有する、すなわち特性値 τ_a の最も小さい値により、リフレッシュ間隔 t_{REFmax} が決定される。

【0033】

【発明が解決しようとする課題】混載 DRAM のプロセスにおいては、同一チップ上に集積化されるロジックと同一の製造プロセスが適用される。したがって、ロジックのトランジスタの性能を引出すために、ロジックプロセスにおいては標準となっているトランジスタのソースおよびドレイン拡散層へのサリサイドプロセス等も混載 DRAM のプロセスに導入されている。したがって、メモリキャパシタ形成時の高熱処理のサーマルバジェット（熱処理の実行時間と温度との積）を低減している。そのため、混載 DRAM は、汎用 DRAM に比べて、不純物領域および絶縁膜に十分な時間所定の温度で熱処理できず、接合リーク電流およびキャパシタ絶縁膜のリーク電流が少し大きい。

【0034】また、図 98 に示すような、円筒型のスタックトキャパシタセル構造を有する場合、DRAM 部とロジック部との間に大きな段差が生じる。CMP（ケミカル・メカニカル・ポリッシング）プロセスにより、配線間の層間絶縁膜をある程度平坦化しても、段差を完全になくすることはできない。したがって、写真製版工程における露光工程での段差部における反射光の乱反射等により、メタル配線のピッチを十分小さくすることができない。このため、ロジックの高密度ライブラリに必要とされるメタル配線ピッチを実現することが困難となる。そこで、メモリセルキャパシタの容量値をある程度犠牲にして、スタックトキャパシタのストレージノードの高さを低くする（円筒形部分の高さを低くする）ことにより、配線間の層間絶縁膜の完全な平坦化を図り、DRAM 部とロジック部との段差をなくして、ロジックライブラリのゲート密度を高くしている。したがって、このメモリセルキャパシタの容量値が汎用 DRAM に比べて小さくなっており、蓄積電荷量も応じて低減される。

【0035】また、混載 DRAM は、高速動作するロジック部と同一半導体チップ上に集積化されている。このため、高速動作するロジック部からの熱伝導により、汎用 DRAM に比べて、混載 DRAM 部の温度が高くなる傾向があり、またこのロジック部の高速動作により、混載 DRAM 部の電源線および基板へのノイズも受けやすくなる。これらのプロセス上またはチップ動作上の種々の要因により、混載 DRAM のリフレッシュ特性が汎用 DRAM に比べて劣化する。また、動作期間中において、混載 DRAM のリフレッシュ間隔を、汎用 DRAM に比べて短くする必要がある、データ保持のための消費電流が増大する。

【0036】また、スリープモード時などのように、ロジック部が動作を停止している場合に、混載 DRAM の記憶データを保持するために、周期的にリフレッシュを実行するセルフリフレッシュを行なう必要がある。この場合においても、セルフリフレッシュモード時のリフレッシュ間隔が、汎用 DRAM に比べて短くなるため、スリープモード時の消費電流が増大する。特に、電池駆動の携帯情報機器およびデジタルカメラ等の製品に混載 DRAM を用いたシステム LSI を応用する場合、記憶容量の増大よりも、低消費電力が重要な要因となる。したがって、上述のようなリフレッシュ特性の悪化に伴う消費電流の増大は、電池駆動の機器への用途に対し大きな問題となる。

【0037】それゆえ、この発明の目的は、低消費電力を実現することのできる半導体記憶装置を提供することである。

【0038】この発明の他の目的は、低消費電力で安定にデータを保持することのできる半導体記憶装置を提供することである。

【0039】この発明のさらに他の目的は、リフレッシ

特性が改善される混載DRAMを提供することである。

【0040】

【課題を解決するための手段】この発明の第1の観点に係る半導体記憶装置は、行列状に配列される複数のメモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線を含む。これら複数のビット線は対をなして配設される。各ビット線対は第1および第2のビット線を含む。

【0041】この発明に係る半導体記憶装置は、さらに、アドレス信号と動作モード指示信号とに従って複数のワード線からワード線を選択する選択信号を発生するための行選択手段を備える。この行選択手段は、動作モード指示信号が第1の動作モードを示すときにはアドレス信号に従ってアドレス指定された行に対応するワード線を選択し、かつ動作モード指示信号が第2の動作モードを示すときにはアドレス指定された行および関連の行を同時に選択するためのモード切換回路を含む。アドレス指定された行および関連の行は、各ビット線対において、第1および第2のビット線の一方とアドレス指定された行に対応するワード線との交差部および第1および第2のビット線の他方と関連の行に対応するワード線との交差部それぞれに対応してメモリセルが配置されるように選択される。

【0042】好ましくは第2の動作モードは、複数のメモリセルの少なくとも一部の記憶データの保持を行なう動作モードである。

【0043】また、好ましくは、複数のメモリセルの少なくとも一部の記憶データのリフレッシュを行なうためのリフレッシュ要求を発生するリフレッシュ要求発生回路がさらに設けられる。このリフレッシュ要求発生回路は、動作モード指示信号が第2の動作モードを指定するときには、第1の動作モード時のリフレッシュ間隔よりも長い間隔でリフレッシュ要求を発生するための周期切換回路を含む。

【0044】また、好ましくは、行選択手段のモード切換回路は、第2の動作モード時には、アドレス信号の最下位ビットを縮退状態とするためのゲート回路を含む。

【0045】また、好ましくは、動作モード指示信号の第2の動作モード指示への移行にตอบสนองして、所定の間隔でリフレッシュを要求を所定回数発生しかつ各リフレッシュ要求に対応してリフレッシュ行を特定するリフレッシュアドレスを生成してアドレス信号として行選択手段へ与えるリフレッシュ制御回路と、このリフレッシュ要求にตอบสนองして少なくとも行選択手段を活性化するための行制御回路が設けられる。モード切換回路は所定回数のリフレッシュ時にはアドレス指定された行および関連の行の選択タイミングを異ならせる。

【0046】好ましくは、このリフレッシュ制御回路は、第2の動作モード指示時には、リフレッシュアドレスを所定値スキップして発生する回路を含む。

【0047】また、リフレッシュ制御回路は、第2の動作モード指示時、少なくとも最上位ビットおよび最下位ビットの論理値を固定してリフレッシュアドレスを発生するように構成されてもよい。

【0048】また、好ましくは、ビット線対各々に対応して設けられ、活性化時対応のビット線対の電位を差動増幅するための複数のセンスアンプと、複数のセンスアンプの所定数のセンスアンプに対しセンスアンプ活性化信号にตอบสนองして電源供給電圧を供給するための複数のセンス駆動回路とが設けられる。センス駆動回路は、第2の動作モード時には、第1の動作モード時よりも小さな電流駆動力で電源供給電圧を対応の所定数のセンスアンプへ伝達するゲートを含む。

【0049】また、各ビット線対に対応して設けられかつ活性化時対応のビット線対の電位を差動増幅するための複数のセンスアンプと、第2の動作モード時複数のメモリセルの少なくとも一部のリフレッシュを要求するリフレッシュ要求が発生される間隔に対応する期間活性化されたセンスアンプの活性状態を維持するためのセンス制御回路が設けられる。

【0050】好ましくは、センス制御回路は、リフレッシュ要求にตอบสนองして複数のセンスアンプを非活性化しかつ所定期間経過後活性化後するための手段を備える。

【0051】また、好ましくは、各ビット線対に対応して設けられ活性化時対応のビット線対を短絡するためのビット線イコライズ回路と、センスアンプの非活性化にตอบสนองしてビット線イコライズ回路を所定期間活性化するためのビット線イコライズ制御回路と、リフレッシュ要求にตอบสนองして行選択手段からの選択信号に従って対応の行を、ビット線イコライズ回路の非活性化後に選択状態へ駆動するための行駆動回路とが設けられる。

【0052】また、好ましくは、各ビット線をプリチャージするためのプリチャージ電圧を発生するためのプリチャージ電圧発生回路が設けられる。このプリチャージ電圧発生回路は、動作モード指示信号が第2の動作モードを指示するとき、プリチャージ電圧発生動作を停止するように構成される。

【0053】また、好ましくは、選択ワード線上に伝達される昇圧電圧を昇圧線に発生するための昇圧電圧発生回路と、この昇圧線の上の電圧レベルを動作モード指示信号に応じて切換えるためのレベル切換回路が設けられる。

【0054】昇圧電圧発生回路は、動作モード指示信号が第2の動作モードを指示するときには昇圧電圧の発生を停止する回路を含み、レベル切換回路は、この第2の動作モード時昇圧線を昇圧電圧よりも低い電圧を受ける電源ノードへ結合するためのゲートを備える。

【0055】また好ましくは、動作モード指示信号が第1の動作モードを示すときに活性化されて複数のメモリセルが形成される基板領域へ印加される基板バイアス電圧を発生するための第1の基板バイアス発生回路と、動作モード指示信号が第2の動作モードを示すときに間欠的に活性化され、第1の基板バイアス発生回路よりも小さな電流駆動力で基板バイアス電圧を発生する第2の基板バイアス発生回路とが設けられる。

【0056】また、好ましくは、第2の動作モードは、複数のメモリセルの少なくとも一部のメモリセルの記憶データの保持を行なう動作モードである。この場合、所定間隔でメモリセルの記憶データのリフレッシュを要求するリフレッシュ要求を発生するリフレッシュ制御回路が設けられる。第2の基板バイアス発生回路は、このリフレッシュ要求に応答して所定期間チャージポンプ動作を行なって基板バイアス電圧を発生する回路を備える。

【0057】また、好ましくは、複数のメモリセルへ伝達されるアレイ電源電圧を発生するためのアレイ電源回路が設けられる。このアレイ電源回路は、動作モード指示信号に応答して第1の動作モードと第2の動作モードとの間でアレイ電源電圧の電圧レベルを切換えるための手段を含む。

【0058】このアレイ電源回路は、活性化時内部電源線に第1の電圧レベルの内部電圧をアレイ電源電圧として発生するための内部電源回路と、動作モード指示信号が第2の動作モードを示すときは内部電源回路を非活性化するための手段と、この動作モード指示信号が第2の動作モードを示すとき内部電源線を第1の電圧レベルよりも低い第2の電圧レベルの電源電圧を受ける電源ノードに結合するゲートとを含む。これらの非活性化手段およびゲートがレベル切換回路に対応する。

【0059】また、好ましくは、動作モード指示信号の第2の動作モード指示から第1の動作モード指示への移行に応答して、複数のメモリセルのアドレス領域のメモリセルの記憶データをリフレッシュするためのリフレッシュ制御回路が設けられる。このリフレッシュ制御回路は、行選択手段へリフレッシュ行を特定するためのリフレッシュアドレスをアドレス信号として与えるためのリフレッシュカウンタを含み、かつまた行選択手段を第2の動作モードで動作させかつ所定アドレス領域のメモリセルのデータのリフレッシュ完了後、動作モード指示信号に従って第1の動作モードで動作させるための回路を含むように構成される。

【0060】好ましくは、動作モード指示信号に応答して選択的に活性化され、活性化時所定の電圧レベルの内部電圧を発生するための内部電圧発生回路がさらに設けられる。この内部電圧発生回路は、動作モード指示信号が第2の動作モードを示すとき内部電圧発生動作を停止する。リフレッシュ制御回路は、好ましくは、内部電圧発生回路が動作モード指示信号の第1の動作モード指示

への移行に応答して活性化された後に、所定のアドレス領域のリフレッシュを実行させるための回路を含む。

【0061】好ましくは、複数のビット線対に対応して活性化時、対応のビット線対を所定電圧レベルにプリチャージするための第1および第2のプリチャージ回路が設けられる。この第2のプリチャージ回路は、その電流駆動能力が第1のプリチャージ回路よりも小さくされる。第1の動作モード時には、第1および第2のプリチャージ回路がスタンバイ時活性化され、第2の動作モード時には、第1のプリチャージ回路が非活性状態に固定される。

【0062】また、好ましくは、複数のビット線対は、列方向において隣接するブロックがセンスアンプ回路を共有するように複数のブロックに分割される。第1のプリチャージ回路は、隣接ブロックのビット線対により共有される。一方、第2のプリチャージ回路は、各ブロックにおいて各ビット線対に対応して設けられる。

【0063】好ましくは、さらに、第2のプリチャージ回路に各々対応して複数のイコライズ回路が設けられる。このイコライズ回路は、対応の第2のプリチャージ回路と同一タイミングで活性化され、対応のビット線対を電気的に短絡する。これらのイコライズ回路の各々は、対応の第2のプリチャージ回路の電流駆動能力よりも大きな電流駆動能力を有している。

【0064】また、好ましくは、ビット線対へ伝達される所定電圧を発生するための所定電圧発生回路と、第2の動作モード時に所定電圧発生回路を所定間隔で電源ノードへ結合するための電源制御回路が設けられる。

【0065】好ましくは、第2の動作モードは、メモリセルの記憶データを保持するセルフリフレッシュモードを含む。所定間隔は、このセルフリフレッシュモードにおいてメモリセルの記憶データのリフレッシュが行なわれるリフレッシュ間隔であり、リフレッシュの実行時、電源制御回路が、所定電圧発生回路を電源ノードに結合する。

【0066】また、好ましくは、第2の動作モードは、さらに、このセルフリフレッシュモードの前に行なわれるツインセル書込モードを含む。このツインセル書込モード時において、複数のメモリセルの保持データの再書込が行なわれる。電源制御回路はこのツインセル書込モード時には、電源ノードを所定電圧発生回路に結合する。

【0067】また、好ましくは、第2の動作モードはメモリセルの記憶データのリフレッシュを行なうリフレッシュモードを含む。所定の周期でリフレッシュ要求を発行する回路と、リフレッシュ要求に応答してリフレッシュ行を選択する動作を活性化するためのリフレッシュ活性化信号を発生する回路と、このリフレッシュ活性化信号を遅延して遅延リフレッシュ活性化信号を生成する遅延回路と、遅延リフレッシュ活性化信号に従って行選択

動作を行なう行系回路が設けられる。所定電圧発生回路はリフレッシュ活性化信号にตอบสนองして電源ノードに結合される。

【0068】また、好ましくは、遅延回路の遅延時間がテスト指示信号にตอบสนองして変更される。

【0069】この発明のさらに他の観点に係る半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイの選択メモリセルとデータの授受を行なうための内部データバスと、アレイ活性化指示信号にตอบสนองして活性化され、メモリセルアレイから行を選択させる行選択回路を備える。この行選択回路は、第1のアドレスに従ってメモリセルアレイの第1の行を選択し、かつ第2のアドレスに従ってメモリセルアレイの第2の行を選択する。

【0070】この発明の他の観点に係る半導体記憶装置は、さらに、列を選択し、この選択列を再配置データバスに結合するための再配置列選択回路と、この活性化時その出力データをラッチする機能を有し、内部データバスのデータを増幅するためのプリアンプと、プリアンプの出力信号をデータ再配置モード等再配置データバスに転送するデータバッファを含む。

【0071】好ましくは、メモリアレイは複数のメモリブロックに分割され、データ再配置書込指示信号はデータ保持領域のメモリブロックに対して活性化される。

【0072】好ましくは、メモリアレイは、各々行列状に配列される複数のメモリセルを有する複数のメモリブロックに分割される。行選択回路は、好ましくは、データ再配置動作モード指示信号の活性化時第1の行および第2の行を並行して選択状態に保持する。これら第1および第2の行は異なるメモリブロックに配置される。

【0073】好ましくは、パルス状のアレイ活性化信号を行選択指示にตอบสนองして行選択回路を活性化する行選択制御回路がさらに設けられる。

【0074】この発明のさらに他の観点に係る半導体装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイの選択メモリセルとデータの授受を行なうための内部データバスと、アレイ活性化指示信号の活性化にตอบสนองして活性化され、メモリセルアレイから行を選択するための行選択回路とを備える。この行選択回路は、第1のアドレスに従ってメモリセルアレイの第1の行を選択し、かつ第2のアドレスに従ってメモリセルアレイの第2の行を選択する。

【0075】この発明のさらに他の観点に係る半導体記憶装置は、さらに、列に対応して設けられ、アレイ活性化指示信号の活性化にตอบสนองして活性化され、対応の列のデータを検知、増幅、およびラッチする複数のセンスアンプと、内部データバスと、データ再配置書込指示信号の非活性化時活性化され、列アドレス信号に従ってメモリセルアレイの第1の行のメモリセルが配置される列を選択し、該選択列を内部データバスに結合するための列

選択回路と、データ再配置書込指示信号の活性化時活性化され、列アドレス信号に従ってメモリセルアレイの第2の行のメモリセルが配置される列を選択し、該選択列を内部バスに結合するための再配置列選択回路と、再配置動作モード指示信号の活性化時活性化され再配置列選択回路の列選択動作の回数をカウントし、該カウント値が所定値に到達するまで行選択回路の前記第2のアドレスに対応する行の選択状態への駆動動作を停止させ、かつこのカウント値が所定値に到達すると行選択回路の第2のアドレスに従う行選択状態への駆動を活性化するための再配置制御回路と、内部データバスデータを増幅しかつラッチするプリアンプと、データ再配置書込指示信号の活性化時活性化され、プリアンプの出力するデータを内部データバスに転送するための転送バッファを備える。プリアンプは、活性化時その出力データをラッチする。

【0076】また、再配置制御回路のカウントの所定値は、メモリセルアレイの列の数に対応する。

【0077】この発明のさらに他の観点に係る半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイの選択メモリセルとデータの授受を行なうための内部データバスと、メモリセルアレイから行を選択するための行選択回路とを備える。この行選択回路は、第1のアドレスに従ってメモリセルアレイの第1の行を選択し、かつ第2のアドレスに従ってメモリセルアレイの第2の行を選択する。

【0078】この発明のさらに他の観点に従う半導体記憶装置は、内部データバス上に読出された選択メモリセルからのデータを増幅するためのプリアンプと、データ再配置書込指示信号の非活性化時列選択指示にตอบสนองして活性化され、列アドレス信号に従ってメモリセルアレイの第1の行のメモリセルが配置される列を選択し、その選択列を内部データバスに結合するための列選択回路と、データ再配置書込指示信号の活性化時列選択指示にตอบสนองして列選択回路の活性化の所定時間後に活性化され、列アドレス信号に従ってメモリセルアレイの第2の行のメモリセルが配置される列を選択し、該選択列を内部データバスに結合するための再配置列選択回路と、列選択指示にตอบสนองして活性化されるプリアンプ活性化信号にตอบสนองして活性化され、内部データバスのデータを増幅しかつラッチするためのプリアンプと、プリアンプ活性化信号の活性化にตอบสนองしてこのプリアンプよりも遅れてプリアンプの出力するデータを内部データバスに転送するためのデータバッファを含む。

【0079】行選択回路は、好ましくは、少なくともアレイ活性化指示信号にตอบสนองして活性化され、活性化時外部からのアドレス信号に従ってアドレス指定された行を選択状態へ駆動する。

【0080】また、好ましくは、この行選択回路は、ア

レイ活性化指示信号および再配置動作モード指示信号の活性化時、再配置列選択回路の列選択動作完了後第2アドレスによりアドレス指定された行を選択状態へ駆動する。

【0081】また、好ましくは、メモリセルアレイの列に対応して配置され、かつ既に対応の列のデータを検知、増幅、およびラッチする複数のセンスアンプがさらに設けられる。これら複数のセンスアンプは、アレイ活性化指示信号の活性化にตอบสนองして活性化される。

【0082】再配置データバスは、好ましくは、メモリセルアレイの選択メモリセルへ書込データを伝達するための内部書込データバスであり、また内部データバスは、メモリセルアレイの選択メモリセルから読出されたデータを転送するための内部読出データバスである。

【0083】好ましくは、さらに、再配置動作モード指示信号の活性化時、列選択指示信号にตอบสนองして列アドレスを生成して列選択回路へ与える内部列アドレス発生回路が設けられる。

【0084】この発明のさらに他の観点に係る半導体記憶装置は、行列状に配置される複数のメモリセルを有するメモリセルアレイと、アレイ活性化指示信号にตอบสนองしてメモリセルアレイの行を選択するための行選択回路と、内部データを転送するための内部データバスと、列選択指示にตอบสนองしてメモリセルアレイの列を選択して内部データバスへ結合するための列選択回路と、データ再配置指示にตอบสนองして列選択回路および内部データバスを介して行選択回路により選択された第1の行からこの行選択回路により選択された第2の行へデータを転送する転送回路を備える。

【0085】この発明のさらに他の観点に従う半導体記憶装置は、行列状に配列される複数のメモリセルと、アレイ活性化信号にตอบสนองしてアドレス指定された行を選択状態へ駆動する行選択回路と、列選択指示にตอบสนองしてアドレス指定された列を選択するための列選択回路と、内部データバスと、プリアンプ活性化信号にตอบสนองして内部データバスのデータを増幅しかつラッチするプリアンプと、再配置書込指示信号にตอบสนองしてプリアンプの出力データを内部データバスに転送する転送バッファとを備える。プリアンプは、列選択指示にตอบสนองして活性化されかつ再配置書込指示信号の非活性化にตอบสนองして非活性化される。

【0086】好ましくは、列選択指示の活性化にตอบสนองして活性化されかつ再配置書込指示信号の非活性化にตอบสนองして活性化され、活性化時内部データバスを所定電圧レベルにイコライズするバスイコライズ回路がさらに設けられる。

【0087】列選択回路は、好ましくは、データ再配置書込指示信号の非活性化時列アドレス信号にしたがって列選択信号を生成し、かつ再配置列選択回路は、データ再配置書込指示信号の活性化時列アドレス信号にしたが

って再配置列選択信号を生成する。データ再配置書込指示信号は、第1のアドレスが指定する行に対応する領域に対しては非活性化され、かつ第2のアドレスが指定する行に対応する領域に対しては活性化される。

【0088】また、これに代えて、好ましくは、列選択回路は、列アドレス信号に対応する列指定信号をデータ再配置書込指示信号の非活性化時選択して該選択列指定信号にしたがって列選択信号を生成する。再配置列選択回路は、データ再配置書込指示信号の活性化時列指定信号の遅延信号を選択し、この選択遅延列指定信号にしたがって再配置列選択信号を生成する。データ再配置書込指示信号は第1のアドレスが指定する行に対応する領域に対しては非活性化され、かつ第2のアドレスが指定する行に対応する領域に対しては活性化される。

【0089】書込データバスと読出データバスとが別々に設けられる構成においては、列選択回路は、好ましくは、データ再配置書込指示信号の非活性化時列アドレスに対応する読出列指定信号にしたがって読み出し列選択ゲートに対する読出列選択信号を生成しかつ書込列選択ゲートに対する書込列選択信号の生成が禁止される。再配置列選択回路は、データ再配置書込指示信号の活性化時列アドレスに対応する読出列指定信号にしたがって書込列選択ゲートに対する書込列選択信号を生成しかつ読出列選択信号に従う読出列選択信号の生成が禁止される。各列には内部読出データ線に対応の列を結合するための読出列選択ゲートと、内部書込データバスに対応の列を結合するための書込列選択ゲートとが設けられる。

【0090】また、好ましくは、転送回数をカウントする構成においては、内部データバスは、内部データ線と、再配置データ線とを含む。これらのデータ線が、それぞれデータ転送時に列選択回路および再配置列選択回路により対応の列と接続される。

【0091】プリアンプが、この内部データ線のデータを増幅し、一方、転送バッファが、再配置データ線にプリアンプの出力データを転送する。

【0092】この発明のさらに別の観点に関わる半導体記憶装置は、各々が複数のメモリセルを有する複数のメモリブロックを有するメモリアレイと、ブロック選択アドレスに従って複数のメモリブロックに指定されたメモリブロックを選択するためのブロック選択信号を発生するブロック選択信号発生回路と、データアクセスが行なわれる通常動作モード時と異なる第1の動作モード時に、ブロック選択信号とメモリブロックとの対応関係をメモリブロック単位で変更するためのブロック変更回路とを含む。

【0093】ブロック変更回路は、好ましくは、通常動作モード時には、ブロック選択信号とメモリブロックとの対応関係の変更を禁止する。

【0094】また、好ましくは、ブロック変更回路は、ブロック選択信号を伝達するブロック選択信号線の接続

10

20

30

40

50

を切換えるためのヒューズプログラム回路を含む。

【0095】ブロック変更回路は、好ましくは、第1の動作モード時において、第1のメモリブロックを第2のメモリブロックで置換するための回路を含む。

【0096】好ましくは、第1のメモリブロックをの第1の動作モード時にスタンバイ状態に保持するためのブロック制御回路がさらに設けられる。

【0097】このブロック制御回路は、好ましくは、第1の動作モード時、第1のメモリブロックへの電圧の供給を停止するための回路を含む。

【0098】また、好ましくは、第2の動作モード時、メモリアレイをメモリブロック単位でスタンバイ状態に設定するための回路がさらに設けられる。

【0099】メモリセルは、好ましくは、キャパシタにデータを記憶するダイナミック型メモリセルであり、第1の動作モードは1ビットのデータにこのメモリセルで記憶する動作モードであり、第2の動作モードは、第2のメモリブロック単位で消費電流を検出するテストモードである。

【0100】第1の動作モード時においては、アドレス指定された行のワード線を選択し、1ビットの情報が1つのメモリセルにより記憶される。一方、第2の動作モード時においては複数のワード線が同時に選択され、ビット線対それぞれにメモリセルデータが読出される。すなわち、2つのメモリセルにより1ビットの情報が記憶される。したがって、この第2の動作モード時においては、常に相補データを格納するメモリセルから読出電圧が伝達されるため、センス動作前のビット線電圧振幅を大きくすることができ、応じてリフレッシュ間隔を長くすることができる。これにより、リフレッシュのために消費される電流を低減することができ、消費電力を低減することができる。

【0101】また、第1の動作モード時には、1ビットデータが、1つのメモリセルで記憶されており、この第1の動作モード時は、半導体記憶装置の記憶容量を十分大きくして必要なデータの記憶を行なうことができ、第1の動作モード時において、この半導体記憶装置をたとえば主メモリとして利用することができる。これにより、この半導体記憶装置の記憶容量を低減させることなく消費電力を低減することができる。

【0102】また、第2の動作モード時に、プリチャージ回路の電流駆動能力を小さくすることにより、平均消費電流が低減される。また、このプリチャージ電圧発生回路を第2の動作モード時、電源ノードから分離することにより、プリチャージ電圧発生のための消費電流を低減でき、第2の動作モード時における消費電流を低減することができる。

【0103】また、データ再配置時においては、メモリセルデータを内部で転送し、外部へ読出さないように構成することにより、高速でデータの再配置を行なうこと

ができ、スリープモード移行時、高速で、ツインセルモードに入ることができる。また、半導体記憶装置外部に、このデータ再配置のためのデータ退避用のメモリを設ける必要がなく、システム全体のサイズを低減することができる。

【0104】また、好ましくはツインセルモードである第1の動作モード時に、ブロック選択信号とメモリブロックとの対応関係を変更することにより、メモリブロック単位での置換が可能となり、たとえばビット線とサブワード線とのマイクロショートが多数存在し、スタンバイ電流が多くなる場合、このスタンバイ不良メモリブロックを他の正常メモリブロックで置換することにより、第1の動作モード時における消費電流を低減することができる。

【0105】

【発明の実施の形態】【実施の形態1】図1は、この発明の実施の形態1に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図1においては、メモリセルMCは、列方向に隣接するメモリセルがビット線コンタクトBCTを共有するように配置される。ビット線コンタクトBCTを共有する2つのメモリセルMCにより1つのレイアウト単位LUが構成される。このレイアウト単位LUは、列方向において1列おきに配置され、また行方向において2行おきに配置される。ビット線コンタクトBCTも、したがって、列方向に整列して4行おきに配置され、また行方向においてもビット線コンタクトBCTは1列おきに配置される。行方向においては、レイアウト単位LUが1列ずれて配置される。ビット線コンタクトBCTを斜め方向に結んで求められるメモリセルMCの最小ピッチ長のビット線方向への斜影した長さが、メモリセルMCの列方向の配置ピッチの1/2であり、この図1に示すメモリセル配置は、「ハーフピッチセル」配置と呼ばれる。

【0106】メモリセルMC（レイアウト単位LU）の各列に対応してビット線BLおよびZBLが交互に配置される。これらのビット線BLおよびZBLは対をなして配設され、各ビット線対に対しセンスアンプ回路S/Aが配置される。

【0107】メモリセルMCの各行に対応してサブワード線SWLが配置され、サブワード線SWLには、それぞれ対応の行のメモリセルMCが接続される。サブワード線SWLは、メモリサブアレイMSAの両側に配置されるサブワードドライバ帯SWDEBおよびSWDOBに含まれるサブワードドライバにより駆動される。サブワードドライバ帯SWDEBに含まれるサブワードドライバSWDE0、SWDE1およびSWDE2は、それぞれ偶数のサブワード線SWLL0、SWLL2、SWLL4、SWLL6、およびSWLL8を、図示しない対応のメインワード線上の信号およびサブデコード信号SD<0>およびSD<2>に従って駆動する。これら

のサブワードドライバSWDE0、SWDE1およびSWDE2は、対応のメインワード線が選択状態のとき、サブデコード信号SD<0>およびSD<2>に従って、対応の2つのサブワード線のうちの一方を選択状態へ駆動する（サブデコード信号が選択状態のとき）。

【0108】サブワードドライバ帯SWDOBにおいては、奇数サブワード線SWLR1、SWLR3、SWLR5およびSWLR7に対してサブワードドライバSWDO0、SWDO1およびSWDO2が設けられる。これらのサブワードドライバSWDO0、SWDO1、SWDO2には、それぞれ2つのサブワード線が対応して設けられ、これらのサブワードドライバSWDO0、SWDO1およびSWDO2は、図示しないメインワード線上の信号とサブデコード信号SD<3>およびSD<1>に従って対応のサブワード線を選択状態へ駆動する。

【0109】メインワード線は、4本のサブワード線に対して1本配置される。すなわち、サブワード線SWLL0、SWLR1、SWLL2およびSWLR3に対して1つのメインワード線が位置され、サブワード線SWLL4、SWLR5、SWLL6およびSWLR7に対して1つのメインワード線が配置される。

【0110】行選択時においては、隣接するサブワード線を同時に選択する。すなわち、アドレス信号に従って、アドレス指定されたサブワード線およびこの隣接するサブワード線の対SWLPを同時に選択する。図1に示すように、たとえばサブワード線SWLL0およびSWLR1が同時に選択される。メモリセルMC1およびMC2を1ビット/2セルモード（ツインセルモード）時のメモリ単位（以下、ツインセルモード単位セルと称す）MTUとして、1ビット情報を記憶する。すなわち、メモリセルMC1およびMC2の一方に、Hレベルデータを書込み、他方のメモリセルにLレベルデータを書込む。センスアンプ回路S/Aは、ビット線BLおよびZBLの電位を差動増幅している。したがって、ビット線BLおよびZBLに、常に相補メモリセルデータが読出されるため、HレベルデータおよびLレベルデータがビット線BLおよびZBLに伝達され、これをセンスアンプ回路S/Aで差動増幅する。

【0111】すなわち、列方向において最も近いビット線コンタクトの間に配置される2つのサブワード線を同時に選択する。ハーフピッチセル配置であるため、ビット線コンタクトの間に配置されるサブワード線を同時に2本選択状態へ駆動することにより、行および列方向において隣接するレイアウト単位LUの近接メモリセルMCがビット線BLおよびZBLにそれぞれ結合される。これにより、ツインセルモード時における単位セルMTUの2つのメモリセルにHレベルデータおよびLレベルデータを各々書込む。

【0112】たとえば、図2に示すように、隣接するサ

ブワード線SWLaおよびSWLbとビット線ZBLおよびBLの交差部には、それぞれメモリセルMC1およびMC2が配置される。これらの2つのメモリセルMC1およびMC2を、1ビット/2セルモード（以下、ツインセルモードと称す）においては、1ビット情報を記憶するための単位セルMTUとして用いる。ビット線BLおよびZBLは、センスアンプ回路S/Aに結合されており、それらの電位が差動増幅される。したがって、常に、メモリセルMC1およびMC2には、相補なデータが記憶される。

【0113】図3は、図2に示すツインセルモード単位セルMTUのビット“0”の記憶情報読出時におけるビット線の電位変化を示す信号波形図である。スタンバイ状態時すなわちサブワード線SWLaおよびSWLbが非選択状態のとき、ビット線BLおよびZBLは、中間電圧VCCS/2の電圧レベルにプリチャージされかつイコライズされている。ロウアクティブコマンドが与えられ行選択動作が行なわれ、サブワード線が選択状態へ駆動されると、サブワード線SWLaおよびSWLbがともに、昇圧電圧VPPレベルに駆動される。このサブワード線SWLaおよびSWLbが選択状態へ駆動されると、メモリセルMC1からHレベルデータがビット線ZBL上に読出され、一方、メモリセルMC2からLレベルデータがビット線BL上に読出される。したがって、ビット線ZBLは、中間電圧VCCS/2から読出電圧ΔV1だけその電圧レベルが上昇し、またビット線BLは、中間電圧VCCS/2から読出電圧ΔV2だけその電圧レベルが低下する。これが、セルデータ読出期間である。

【0114】このセルデータ読出期間が完了すると、センスアンプ活性化信号SONおよびZSOPを活性化し、センスアンプ回路S/Aを活性化する。センスアンプ回路S/Aは、ビット線BLおよびZBLの電位差（ΔV1+ΔV2）を差動増幅する。したがって、センスアンプ回路S/Aに含まれるNチャネルMOSトランジスタN1およびN2の一方は、センスアンプ活性化信号SONが活性化されると、即座に導通し、ローレベルのビット線を接地電圧レベルへ駆動する。すなわち、このセンスアンプ回路S/Aに対しては常に、ツインセルモード単位セルMTUの記憶データの“1”および“0”のいずれにかかわらず、Hレベルの読出電圧およびLレベルの読出電圧が伝達されるため、このセンスアンプ回路S/AのNチャネルMOSトランジスタN1およびN2は高速でセンス動作を、センスアンプ活性化信号SONの活性化時実行する。したがって、従来の1ビット/1セルの動作モードに比べて、高速センスが可能となる。また、ビット線BLおよびZBLの電位差は（ΔV1+ΔV2）であり、1ビット/1セルの動作モードに比べて、読出電圧は大きく、センスマージンを十分に確保することができる。

【0115】図4は、図2に示すツインセルモード単位セルMTUのメモリセルMC1およびMC2の蓄積電荷量の時間変化を示す図である。メモリセルMC1のストレージノードSN1の電圧V(SN1)は、Hレベルデータが書き込まれているため、初期時アレイ電源電圧VCCSレベルである。一方メモリセルMC2は、Lレベルデータを記憶しているため、ストレージノードSN2の電圧V(SN2)は、初期時、接地電圧VSS(=0V)である。この状態でスタンバイ状態に入り、サブワード線SWLaおよびSWLbを接地電圧レベルに設定し、かつビット線BLおよびZBLを中間電圧VCCS/2の電圧レベルに設定する。メモリトランジスタの基板領域には、負電圧Vbbが印加される。この場合、ストレージノードSN1およびSN2の電圧の時間変化は次式で表わされる。

【0116】 $V(SN1) \approx Vbb + (VCCS - Vbb) \cdot \exp(-T/\tau a)$ 、
 $V(SN2) \approx Vbb \cdot \{1 - \exp(-T/\tau b)\}$
 この場合、ビット線BLおよびZBLの読出電圧差は次式で表わされる。

【0117】 $\Delta VBL = (V(SN1) - V(SN2)) \cdot Cs / (Cs + Cb)$

時刻T1は、従来の1ビット/1セル構成のDRAMで、センスマージンが不十分となり、読出エラーが生じる時間である。しかしながら、1ビット/2セルの動作モードにおいては、この時刻T1においても、ストレージノード電圧V(SN1)およびV(SN2)の差は十分な大きさを有している。ストレージノードSN1の電圧V(SN1)が中間電圧VCCS/2の電圧レベルにまで低下しても、ストレージノードSN2の電圧V(SN2)も同様に低下しており、これらの電圧V(SN1)およびV(SN2)の電圧差は十分な大きさを有している。

【0118】時刻T2においては、データの読出を行った場合、ビット線ZBLには、中間電圧VCCS/2が伝達され、その電圧レベルは変化せず、一方、ビット線BLに、Lレベルデータの読出電圧(-ΔV2)が伝達される。

【0119】図5は、この図4に示す時刻T2におけるメモリセルデータのセンス動作を示す信号波形図である。すなわち、図5に示すように、図4に示す時刻T2においてメモリセルデータを読出した場合、ビット線ZBL上の読出電圧ΔV1は0Vに等しい。一方、ビット線BL上には、ストレージノードSN2の電圧レベルに応じた読出電圧-ΔV2が伝達される。従来の1ビット/1セル構成のDRAMにおけるLレベルデータ読出時の読出電圧とはほぼ同じ大きさの読出電圧が、ビット線BL上に読出される。したがって、従来の1ビット/1セル構成のDRAMのLレベルデータ読出時のセンス動作時の信号波形と同じような波形が得られ、従来のDRA

Mと同様のセンス速度で正常にセンス動作を行なうことができる。

【0120】図4に再び戻って、時間がさらに時刻T2を超えて経過し、ストレージノードSN1の電圧V(SN1)がビット線プリチャージ電圧VCCS/2よりも低くなっても、ビット線BLおよびZBLの電位差が、センスアンプ回路のセンス感度以上であれば、センス動作は遅くなるものの(NチャネルMOSトランジスタのオン状態への移行速度が低下する)、正常にメモリセルデータの検知増幅を行なうことができる。

【0121】したがって、最大リフレッシュ時間tREFmaxを大きくするロングリフレッシュモードを設定することができる。このロングリフレッシュモードにおいては、図96に示すリフレッシュ要求信号FAYの周期を、1桁近く大きくすることができ、データ保持のための消費電流を低減することができる。

【0122】また、ビット線BLおよびZBLの対に読出される相補データにより、Hレベルデータの読出電圧ΔV1が小さい場合でも、Lレベルデータの読出電圧-ΔV2が十分な大きさであれば、正常なセンスを行なうことができる。したがって、ストレージノードSNに対しフルVCCSを伝達する必要がなくなる。これは、ワード線(メイン/サブワード線)の駆動電圧に必要な電圧レベルが、アレイ電源電圧(センス電源電圧)VCCSとメモリセルのアクセストランジスタのしきい値電圧(Vthc)よりも十分大きくしなければならないという制約が緩和されることを意味する。すなわち、昇圧電圧VPPの電圧レベルを適当に下げることができ、昇圧電圧VPPを発生する昇圧電圧発生回路(通常チャージポンプ回路で構成される)の消費電流を低減でき、応じて半導体記憶装置の通常動作時の消費電流をも小さくすることができる。

【0123】図6は、サブワードドライバの構成を示す図である。図6においては、メインワード線ZMWL0に関連する部分の構成を示す。

【0124】メモリサブアレイMSAにおいては、このメインワード線ZMWL0に対して、4本のサブワード線SWLL0、SWLR1、SWLL2、およびSWLR3が配設される。

【0125】このメインワード線ZMWL0に対し、奇数サブワードドライバSWDOがサブワードドライバ帯の一方に配設され、また他方のサブワードドライバ帯SWDBにおいて偶数サブワードドライバSWDEが配設される。偶数サブワードドライバSWDEは、メインワード線ZMMWL0上の信号とサブデコード信号SD<0>およびZSD<0>に従ってサブワード線SWLR0を駆動するサブワードドライブ回路SWDR0と、メインワード線ZMWL0の信号とサブデコード信号SD<2>およびZSD<2>に従ってサブワード線SWLR2およびSWLL2を駆動するサブワードドライブ回

路SWDR2を含む。1つのサブワードドライブ回路SWDRにより、2つのメモリサブアレイにおけるサブワード線を駆動することによりサブワードドライブ帯の占有面積を低減する。

【0126】サブワードドライブSWDOは、メインワード線ZMWL0上の信号とサブデコード信号SD<1>およびZSD<1>に従ってサブワード線SWLR1およびSWLL1を駆動するサブワードドライブ回路SWDR1と、メインワード線ZMWL0上の信号とサブデコード信号SD<3>およびZSD<3>に従ってサブワード線SWLR3およびSWLL3を駆動するサブワードドライブ回路SWDR3を含む。これらのサブワードドライブ回路SWDR1およびSWDR3各々は、2つのメモリサブアレイのサブワード線を同時に駆動する。

【0127】サブデコード信号SD<0>-SD<3>およびZSD<0>-SD<3>は、センスアンプ帯SABを延在する信号線上を伝達されるサブデコードファースト信号ZSDF<0>-ZSDF<3>から生成される。すなわち、サブデコード信号SD<0>は、サブデコードファースト信号ZSDF<0>を受けるインバータIV0から生成され、補のサブデコード信号ZSD<0>は、インバータIV0の出力信号を受けるインバータIV1から生成される。サブデコード信号SD<2>は、サブデコードファースト信号ZSDF<2>を受けるインバータIV2から生成され、サブデコード信号ZSD<2>は、インバータIV2の出力信号を受けるインバータIV3が生成される。サブデコード信号SD<1>は、サブデコード信号ZSDF<1>を受けるインバータIV4から生成され、サブデコード信号ZSD<1>は、インバータIV4の出力信号を受けるインバータIV5から生成される。サブデコード信号SD<3>は、サブデコードファースト信号ZSDF<3>を受けるインバータIV6から生成される。サブデコード信号ZSD<3>は、インバータIV6の出力信号を受けるインバータIV7から生成される。これらのインバータIV0-IV7の出力信号線は、メモリサブアレイMSA内にのみ延在する。センスアンプ帯SABとサブワードドライブ帯SWDBの交差部に、これらのインバータIV0-IV7が、配置される。

【0128】サブワードドライブ回路SWDR0-SWDR3は、同一構成を有する。すなわち、サブワードドライブ回路SWDRi (i=0-3)は、メインワード線ZMWL0上の信号がLレベルのときオン状態となり、サブデコード信号SD<i>を伝達するPチャネルMOSトランジスタQ1と、メインワード線ZMWL0上の信号電位がHレベルのとき導通し、対応のサブワード線SWLRiおよびSWLLiを接地電位レベルに保持するNチャネルMOSトランジスタQ2と、サブデコード信号ZSD<i>がHレベルのとき導通し、対応の

サブワード線SWLRiおよびSWLLiを接地電位レベルに保持するNチャネルMOSトランジスタQ3を含む。

【0129】メインワード線ZMWL0は、選択時、接地電位レベルに駆動される。このときには、MOSトランジスタQ2はオフ状態である。PチャネルMOSトランジスタQ1は、サブデコード信号SD<i>がHレベルのときには導通し、対応のサブワード線SWLRiに、サブデコード信号SD<i>を伝達する。このとき、補のサブデコード信号ZSD<i>はLレベルであり、NチャネルMOSトランジスタQ3はオフ状態にある。

【0130】一方、サブデコード信号SD<i>がLレベルのときには、PチャネルMOSトランジスタQ1は、ソースおよびゲートが同一電位となり、オフ状態となる。このときには、サブデコード信号ZSD<i>がオン状態となり、対応のサブワード線SWLRiおよびSWLLiが接地電位レベルに保持される。これにより、非選択サブワード線がフローティング状態となるのを防止する。サブデコード信号SD<0>-SD<3>は、所定のロウアドレスビットをデコードして生成される。1つのメインワード線ZMWLに4本のサブワード線SWLL0、SWLR1、SWLL2およびSWLR3が配置される4ウェイ階層ワード線の構成の場合、同時に選択状態に駆動されるサブワード線は、SWLL0およびSWLR1の組またはSWLL2およびSWLR3の組である。したがって、サブデコード信号SD<1>およびSD<0>を同時に選択状態に設定するかまたは、サブデコード信号SD<2>およびSD<3>を同時に選択状態に設定する。

【0131】図7は、スリープモード移行時のメモリコントローラ（ロジック）の動作を示すフロー図である。以下、図7を参照して、このスリープモード移行時のデータの再分配動作について説明する。

【0132】ロジックは、アクセスが所定時間以上停止しているか否かをモニタし、モニタ結果に従ってスリープモードに入るか否かを判定する（ステップS1）。スリープモードに入るべきであると判定した場合、このメモリコントローラ（ロジック）は、メモリ（混載DRAM）の保持すべきデータを読出し、偶数ロウアドレスへ、この読出したデータを書込む。この偶数ロウアドレスへのデータの書込時においては、最下位ロウアドレスビットRA<0>が“0”に固定されて、データの書込が行なわれる（ステップS2）。ステップS3において記憶保持の必要なデータビットがすべて偶数ロウアドレスへ書込まれたか否かの判定が行なわれ、保持の必要なデータがすべて再配置されるまで、ステップS2が繰返し実行される。保持の必要なデータ（ビット）がすべて混載DRAMへ再書込みされたときに、このメモリコントローラ（ロジック）は、スリープモード指示信号を混

載DRAMへ与える(ステップS4)。このスリープモードに入ると、混載DRAMは、まず偶数ロウアドレスへ書込まれたデータについて、2つのメモリセルで1ビットのデータを記憶するツインセルモードに入り、セルフリフレッシュモードで保持データのリフレッシュを行なう。

【0133】図8は、スリープモード移行時のデータ再分配の様子を概略的に示す図である。図8においてメモリマットMMのアドレス領域AおよびBがそれぞれ、保持の必要なデータを格納する領域である。スリープモード移行時、これらのアドレス領域AおよびBのデータが、このメモリマットMMの偶数ロウアドレス($RA<0>=0$)のアドレス領域に再配置される。奇数ロウアドレス($RA<0>=1$)には、データは再書込みされない。一般に、携帯情報端末においては、スリープモード時においてデータ保持に必要とされるメモリ空間は、動作時に必要とされる全メモリ空間の一部で済む場合が多い。たとえば、携帯型パーソナルコンピュータにおいて、加工データは、メモリ空間の一部のみにおいて格納される。したがって、この保持の必要なデータとしては、メモリマットMMの記憶容量の最大1/2のデータをこのツインセルモードで保持することができる。

【0134】図9は、この混載DRAMのデータ記憶の他の構成を示す図である。図9において、メモリマットMMの保持データ格納領域として、偶数ロウアドレス($RA<0>=0$)の領域が予め固定的に定められる。この場合においては、通常動作モード時において、保持すべきデータ(加工データ等)は、偶数ロウアドレス上に格納される。この場合、スリープモード移行時のデータの再配置を行なう必要がない。この保持データ格納領域の偶数ロウアドレス領域への固定は、単にメモリアレイを特定するブロックアドレスの1ビットを最下位ロウアドレスビットと置換することで容易に実現される。連続ロウアドレスで構成されるメモリアレイが偶数ロウアドレスで構成されるメモリブロックに分散されるだけである。

【0135】混載DRAMにおいて、スリープモードに入ると、この偶数ロウアドレス領域に格納された1ビットデータは、1つのメモリセルにより格納されている。そこで、この偶数ロウアドレスに格納されたデータを、1ビット/2セルのツインセルモードの単位セルに、内部のセルフリフレッシュタイマおよびリフレッシュアドレスカウンタを用いて書込む。すべてのツインセルモード単位セルMTUへのデータの書込が完了した時点で、ツインセルモード単位セルMTUに対するリフレッシュを開始する。

【0136】図10は、スリープモード移行時の保持データのツインセルモード単位セルMTUへの書込時の動作シーケンスを示す信号波形図である。以下、このスリープモード移行時におけるツインセルモード単位セルへ

のデータ書込動作について説明する。

【0137】前述のごとく、偶数ロウアドレスに保持データが格納されている。今、サブワード線 $SWLL<0>$ および $SWLR<1>$ に接続されるメモリセルに対するデータ書込を考える。

【0138】まず、偶数ロウアドレスに対応するサブワード線 $SWLL<0>$ を選択状態へ駆動する。これにより、選択サブワード線 $SWLL<0>$ に接続されるメモリセルのデータが対応のビット線上に読出される。図10においては、Hレベルのデータが読出された場合の波形を示す。他方のビット線にはメモリセルは接続されていないため、読出電圧 $\Delta V2=0$ であり、プリチャージ電圧レベルを維持している。

【0139】次いで、センスアンプ活性化信号SONおよびZSOPを活性化し、1つのメモリセルにより格納されたデータをセンスアンプにより検知し、増幅しかつラッチする。

【0140】このセンス動作が完了し、ビット線電位がアレイ電源電圧VCCSおよび接地電圧レベルに駆動された後、対をなすサブワード線 $SWLR<1>$ を選択状態へ駆動する。このサブワード線 $SWLR<1>$ に接続されるメモリセルへは、したがって、センスアンプにより増幅されかつラッチされたデータが格納される。すなわち、サブワード線 $SWLL<0>$ および $SWLR<1>$ に格納されるメモリセルには、相補なデータビットが格納される。

【0141】所定時間が経過すると、サブワード線 $SWLL<0>$ および $SWLR<1>$ を非選択状態へ駆動し、次いでセンスアンプ活性化信号SONおよびZSOPを非活性化する。これにより、ツインセルモード単位セルへのデータの書込が完了する。この後、ビット線イコライズ指示信号BLEQを活性化し、ビット線BLおよびZBLを中間電圧 $VCCS/2$ の中間電圧レベルにプリチャージする。この動作を、すべての偶数ロウアドレスに対して実行し、すべての偶数ロウアドレスのメモリセルについてツインセルモード単位セルへのデータの書込が完了した後は、内部に設けられるセルフリフレッシュタイマおよびリフレッシュカウンタの出力信号に従って、ツインセルモードでのリフレッシュ動作が実行される。

【0142】図11は、この発明の実施の形態1に従う半導体記憶装置(混載DRAM)の行選択に関連する部分の構成を概略的に示す図である。メモリマットの構成は、図96に示す従来の混載DRAMと同じである。この図11に示す構成においては、8個のメモリアレイMA0-MA7が設けられる。メモリアレイMA0-MA7それぞれにおいて、512本のワード線(サブワード線)が配置される。

【0143】図11において、行選択系回路は、ロウアドレスイネーブル信号RADEの活性化にตอบสนองして外部

から与えられる12ビットのロウアドレスビットRA<11:0>を取込みラッチする入力バッファ/ラッチ回路1と、スリープモードまたはオートリフレッシュモードが指定されたとき、リフレッシュ活性化信号REF__RASの非活性化にตอบสนองしてそのカウント値を1更新するリフレッシュカウンタ2と、リフレッシュ活性化信号REF__RASに従って入力バッファ/ラッチ回路1およびリフレッシュカウンタ2の出力ビットを選択するセクタ3と、セクタ3からの12ビットのロウアドレスのうち、上位3ビットの内部ロウアドレスRAF<11:9>をデコードしてメモリアレイを特定するブロック選択信号BS<7:0>を生成するブロックデコード回路4と、セクタ3からの下位9ビットのロウアドレスRAF<8:0>をプリデコードするプリデコード回路5を含む。

【0144】リフレッシュカウンタ2は、オートリフレッシュ指示信号AREFまたはスリープモード指示信号SLEEP__MODEの活性化時起動され、スリープモード移行時、全偶数ロウアドレスが指定される期間ツインセル書込モード指示信号TWC__WRITE__MODEを活性状態に維持する。このツインセル書込モード指示信号TWC__WRITE__MODEが活性化されると1ビット/1セルモードで記憶されたデータが、ツインセルモード単位セルへ再書込される。リフレッシュカウンタ2からのアドレスビットに従ってすべてのツインセルモード単位セルへのデータの再書込が完了すると、ツインセル書込モード指示信号TWC__WRITE__MODEが非活性化される。リフレッシュ活性化信号REF__RASは、オートリフレッシュコマンドまたはセルフリフレッシュ要求が与えられると、所定期間活性状態となり、その間メモリアレイにおいてリフレッシュ行の選択およびメモリアルデータのリフレッシュが実行される。

【0145】セクタ3は、このリフレッシュ活性化信号REF__RASの活性化時リフレッシュカウンタ2の出力ビットQA<11:0>を選択し、リフレッシュ活性化信号REF__RASの非活性化時、入力バッファ/ラッチ回路1の出力ビットを選択する。

【0146】リフレッシュカウンタ2は、通常の1ビット/1セルモードにおけるオートリフレッシュでは、アドレスビットQA<11:0>の範囲でアドレスを1ずつ増分する。しかしながら、スリープモードに入ると、リフレッシュカウンタ2は最下位リフレッシュアドレスビットQA<0>を0に固定し、残りの上位11ビットのリフレッシュアドレスQA<11:1>を1ずつ増分する。この最下位ビットQA<0>を“0”に固定することにより、偶数ロウアドレスのみがリフレッシュ行として指定される。アドレスビットQA<11:1>が指定するアドレスがすべて選択されるとすべてのツインセルモード単位セルMTUへの再書込が完了し、ツインセ

ル書込モードが完了し、以降、記憶データのリフレッシュが周期的に実行される。

【0147】ブロックデコード回路4およびプリデコード回路5は、メモリアレイのメモリアレイMA0-MA7に共通に設けられてもよく、またメモリアレイMA0-MA7それぞれに対応して設けられてもよい。プリデコード回路5が、メモリアレイそれぞれに対応して設けられる場合には、ブロックデコード回路4からのブロック選択信号BS<7:0>に従って、プリデコード回路5が、選択的に活性化され、選択された（指定された）メモリアレイに対して設けられたプリデコード回路5がプリデコード動作を実行する。

【0148】行選択系回路は、さらに、スリープモード指示信号SLEEP__MODEとツインセル書込モード指示信号TWC__WRITE__MODEとメインセンスアンプ活性化信号SOとに従ってツインセルモード指示信号T__MODE__nを生成するツインセルモードコントロール回路6を含む。このツインセルモードコントロール回路6は、スリープモード指示信号SLEEP__MODEの活性化時、ツインセル書込モード指示信号TWC__WRITE__MODEが活性状態にある期間、メインセンスアンプ活性化信号SOの活性化にตอบสนองして、所定期間活性状態となるツインセルモード指示信号T__MODE__nを生成する。このツインセルモード指示信号T__MODE__nが活性状態のときには、プリデコード回路5は、4ビットのプリデコード信号X<3:0>のうち、対をなすプリデコード信号X<3:2>またはX<1:0>をともに選択状態に設定する。これにより、選択メインワード線に接続される4本のサブワード線のうち、ツインセルモード単位セルに接続されるサブワード線の対を同時に選択状態へ駆動する。

【0149】プリデコード回路5からの4ビットのプリデコード信号X<3:0>はサブデコード信号発生回路7へ与えられ、また16ビットのプリデコード信号X<19:4>が、メインデコード信号発生回路8へ与えられる。サブデコード信号発生回路7は、ワード線活性化信号R_XACTの活性化にตอบสนองしてプリデコード信号X<3:0>に従ってサブデコードファースト信号Z_SDF<3:0>を生成する。メインデコード信号発生回路8は、メインワード線駆動タイミング信号R_XTの活性化にตอบสนองして、16ビットのプリデコード信号X<19:4>をデコードして、128ビットのメインワード線選択信号Z_MWL<127:0>の1ビットを選択状態へ駆動する。このメインデコード信号発生回路8は、ブロックデコード回路4からのブロック選択信号に従って活性化され、ブロック選択信号BS<7:0>が特定するメモリアレイに対して設けられたメインデコード信号発生回路8のみが、活性化されてよい。また、これに代えて、メインデコード信号発生回路8が、メモリアレイMA0-MA7共通に設けられ、ブロック選択信

号により特定されるメモリアレイのメインワード線ドライブ回路が、メインワード線選択信号 $ZMWL < 127 : 0 >$ およびブロック選択信号に従って対応のメインワード線を選択状態へ駆動する構成が用いられてもよい。

【0150】プリデコード信号 $X < 3 : 0 >$ は、ツインセルモード時に上位2ビットまたは下位2ビットを同時に選択状態に設定することにより、サブデコードファースト信号 $ZSDF < 3 : 0 >$ も、応じて、上位2ビットまたは下位2ビットが同時に活性状態に設定され、ツインセルモード時の単位セルに接続する2本のサブワード線を同時に選択状態へ駆動することができる。

【0151】行選択系回路は、さらに、スリープモード指示信号 $SLEEP_MODE$ の活性化時起動され所定の周期でセルフリフレッシュ要求信号 FAY を発行するセルフリフレッシュタイマ9と、オートリフレッシュモード指示信号（コマンド） $AREF$ またはスリープモード指示信号 $SLEEP_MODE$ の活性化時セルフリフレッシュタイマ9から発行されるセルフリフレッシュ要求信号 FAY を受けると、所定期間活性状態となるリフレッシュ活性化信号 REF_RAS を発生するリフレッシュコントロール回路10と、リフレッシュ活性化信号 REF_RAS とロウアクティブコマンド（またはアレイ活性化指示信号 RAC ）のいずれかが活性状態のとき、各制御信号を所定のシーケンスで発生する行系制御回路11を含む。

【0152】行系制御回路11は、プリチャージ指示信号（またはプリチャージコマンド） PRG が与えられるかまたはリフレッシュ活性化信号 REF_RAS が非活性化されると、各内部制御信号を非活性状態に設定し、選択メモリアレイをスタンバイ状態（プリチャージ状態）に設定する。

【0153】リフレッシュコントロール回路10は、スリープモード時にセルフリフレッシュ要求信号 FAY が与えられると、リフレッシュ活性化信号 REF_RAS を活性化する。行系制御回路11が、このリフレッシュ活性化信号 REF_RAS に従って所定のシーケンスで各制御信号を発生した後、リフレッシュコントロール回路10は、メインセンスアンプ活性化信号 SO が活性化されてから所定期間経過後に、リフレッシュ活性化信号 REF_RAS を非活性状態に駆動する。これらの一連の動作により、1つのセルフリフレッシュ動作が完了する。リフレッシュ活性化信号 REF_RAS が非活性状態となると、リフレッシュカウンタ2が、リフレッシュアドレス $QA < 11 : 1 >$ を1増分する。

【0154】図12は、図11に示す行選択系回路のスリープモードエントリ時の動作を示すタイミングチャート図である。以下、図11および図12を参照して、スリープモードエントリ時の動作について説明する。

【0155】スリープモードに入る場合には、まずスリ

ープモード指示信号 $SLEEP_MODE$ がHレベルの活性状態へ駆動される。このとき、補のスリープモード指示信号 $SLEEP_MODE_n$ が、Lレベルの活性状態となる。リフレッシュカウンタ2は、スリープモード指示信号 $SLEEP_MODE$ が与えられると、その最下位ビット $QA < 0 >$ を0に固定し、ビット $QA < 11 : 1 >$ の間でカウントアップ動作を開始する。また、リフレッシュカウンタ2は、スリープモード指示信号 $SLEEP_MODE$ が与えられると、全カウント値をカウントするまで（リフレッシュアドレスが1巡するまで）、ツインセル書込モード指示信号 TWC_WRITE_MODE をHレベルへ駆動する。

【0156】スリープモード指示信号 $SLEEP_MODE$ が与えられると、セルフリフレッシュタイマ9が、所定の間隔でリフレッシュ要求信号 FAY を発生する。このリフレッシュ要求信号 FAY は、1ビット/2セルモード（ツインセルモード）における最大リフレッシュサイクルを $tREF_{max}$ とすると、間隔 $tREF_{max} / (RN / 2)$ でリフレッシュ要求信号 FAY を発生する。ここで、 RN は、通常の1ビット/1セル動作モードにおける1リフレッシュサイクルにおけるリフレッシュ回数を示す。リフレッシュアドレスが12ビットである場合は、 $RN = 4K (= 4096)$ である。

【0157】リフレッシュ要求信号 FAY の活性化に応じてリフレッシュコントロール回路10が、リフレッシュ活性化信号 REF_RAS を活性状態へ駆動する。応じて、行系制御回路11が、ワード線駆動タイミング信号 RXT およびワード線活性化信号 $RXACT$ およびメインセンスアンプ活性化信号 SO を活性状態へ駆動する。応じて、ブロックデコード回路4、プリデコード回路5が、セクタ3を介して与えられるリフレッシュカウンタ2の出力カウントビット $QA < 11 : 0 >$ をそれぞれデコードおよびプリデコードし、ブロック選択信号 $BS < 7 : 0 >$ およびプリデコード信号 $X < 19 : 0 >$ を生成する。

【0158】次いで、サブデコード信号発生回路7およびメインデコード信号発生回路8がそれぞれ与えられたプリデコード信号をデコードし、サブデコードファースト信号 $ZSDF < 3 : 0 >$ およびメインワード線駆動信号 $ZMWL < 127 : 0 >$ を生成する。ツインセルモード指示信号 T_MODE_n が活性状態のときには、プリデコード回路5は2段階の動作をする。最初は、プリデコード信号 $X < 3 : 0 >$ のうちプリデコード信号 $X < 0 >$ のみが選択状態にある。したがって、まずサブワード線 $SWLL0$ が選択状態へ駆動される。センスアンプ活性化信号 SO が活性状態へ駆動されると、応じて、ツインセルモード指示信号 T_MODE_n が活性状態へ駆動され、プリデコード回路5が、プリデコード信号 $X < 1 : 0 >$ を縮退状態としともに選択状態へ駆動する。したがって、サブワード線 $SWLL0$ および $SWLR1$

がともに選択状態となり、ツインセルモードの単位セルが選択されて、データの書込が実行される。1つの書込が完了すると、リフレッシュ活性化信号REF_RASが、センスアンプ活性化信号SOが活性化されて所定時間経過した後に非活性化される。応じてリフレッシュカウンタ2のカウント値QA<11:1>が1カウントアップされ、全体としてリフレッシュアドレスが2増分される。この状態は、プリデコード信号X<3:0>のうち、プリデコード信号X<2>が選択状態に駆動される状態に対応する。

【0159】次いで所定期間が経過し、リフレッシュ要求信号FAYが活性化されると、再びリフレッシュ活性化信号REF_RASが活性化され、行選択動作が実行される。この場合には、プリデコード信号X<2>が選択状態であり、まず、サブワード線SWLL2が選択状態へ駆動される。この状態でセンス動作が行なわれ、サブワード線SWLL2に接続するメモリセルデータの検知、増幅およびラッチが行なわれる。次いで、ツインセルモード指示信号T_MODE_nがLレベルの活性化状態となると、プリデコード回路5が、アドレスビットRA<0>の縮退動作を行ない、プリデコード信号X<3:2>がともに選択状態となり、サブワード線SWLR3が選択状態へ駆動される。これにより、ツインセルモードの単位セルが選択されて、データの書込が実行される。

【0160】リフレッシュカウンタ2のカウント値を2ずつ増分し、プリデコード回路5において、センス動作完了後、アドレスビットRA<0>の縮退動作を実行させることにより、対をなすサブワード線が選択される。すなわち、まず偶数アドレスの行に対応するサブワード線が選択状態へ駆動されてセンス動作が行なわれた後、アドレスビットRA<0>の縮退動作により、偶数アドレスの選択状態のサブワード線と対をなす奇数アドレスの行に対応するサブワード線が選択状態へ駆動され、ツインセルモードの単位セルが選択されてデータ書込が実行される。以降、この動作が、リフレッシュカウンタ2のカウント値が更新され、スリープモードエントリ時のカウント値(たとえばm)に到達するまで繰返し実行される。

【0161】リフレッシュカウンタ2のカウント値QAが出発アドレスmに戻り、アドレス(m-2)へのツインセルモードでのデータ再書込が完了すると、ツインセル書込モード指示信号TWC_WRITE_MODEが非活性化状態となる。以降、このツインセルモード指示信号T_MODE_nはLレベルの非活性化状態を維持する。プリデコード回路5においては、スリープモード指示信号SLEEP_MODE_nが活性化状態のLレベルの間、ツインセルモード指示信号T_MODE_nがLレベルの活性化状態に固定されるため、常時縮退動作を実行し、リフレッシュカウンタ2の出力カウントビットQ

A<11:0>に従って2本の対をなすサブワード線が同時に選択状態へ駆動され、リフレッシュ動作が実行される。

【0162】図13は、図11に示すツインセルモードコントロール回路6の構成の一例を示す図である。図13において、ツインセルモードコントロール回路6は、メインセンスアンプ活性化信号SOの立上がり(活性化)を所定時間遅延する立上がり遅延回路6aと、ツインセル書込モード指示信号TWC_WRITE_MODEとスリープモード指示信号SLEEP_MODEを受けるAND回路6bと、立上がり遅延回路6aの出力信号を反転するインバータ回路6cと、インバータ回路6cの出力信号とAND回路6bの出力信号を受けるNAND回路6dと、NAND6dの出力信号とスリープモード指示信号SLEEP_MODEを受けてツインセルモード指示信号T_MODE_nを出力するNAND回路6eを含む。次に、この図13に示すツインセルモードコントロール回路の動作を、図14に示す信号波形図を参照して説明する。

【0163】スリープモード指示信号SLEEP_MODEがLレベルの非活性化状態のときには、NAND回路6eからのツインセルモード指示信号T_MODE_nはHレベルにある。

【0164】スリープモードに入り、スリープモード指示信号SLEEP_MODEがHレベルに立上がると、NAND回路6eがインバータとして動作する。このときまた、ツインセル書込モード指示信号TWC_WRITE_MODEも、すべてのツインセルモード単位セルにデータが書込まれる間、Hレベルとなる。したがって、AND回路6bの出力信号がHレベルとなり、NAND回路6dがインバータとして動作する。この状態においては、NAND回路6dおよび6eがともにインバータとして動作しており、ツインセルモード指示信号T_MODE_nは、立上がり遅延回路6aの出力信号を反転した信号となる。立上がり遅延回路6aはメインセンスアンプ活性化信号SOの立上がり(活性化)を所定時間遅延している。したがって、リフレッシュ活性化信号REF_RASが活性され、所定のタイミングでメインセンスアンプ活性化信号SOが活性化されると、これより遅れてツインセルモード指示信号T_MODE_nが活性化状態となる。メインセンスアンプ活性化信号SOが活性化されてから所定期間が経過すると、リフレッシュ活性化信号REF_RASが非活性化され、応じてメインセンスアンプ活性化信号SOも非活性化状態となり、ツインセルモード指示信号T_MODE_nもHレベルとなる。この動作が、全単位セルにデータが再書込されるまで繰返し実行される。

【0165】全単位セルに対するデータ再書込が完了すると、ツインセル書込モード指示信号TWC_WRITE_MODEがLレベルとなる。応じて、AND回路6

bの出力信号がLレベルとなり、NAND回路6dの出力信号が、立上がり遅延回路6aの出力信号の論理レベルにかかわらず、Hレベルとなる。NAND回路6eは、その両入力にHレベルの信号を受取り、したがって、ツインセルモード指示信号T_MODE_nは、スリープモード指示信号SLEEP_MODEがHレベルの活性状態にある間Lレベルに固定される。

【0166】したがって、ツインセル書込モード時には、対をなすサブワード線が順次活性化され、以降のセルリフレッシュモード時には、対をなすサブワード線が同時に選択状態へ駆動される。

【0167】図15は、図11に示すリフレッシュカウンタ2の構成の一例を示す図である。図15において、リフレッシュカウンタ2は、12段のD型フリップフロップ2a0-2a11と、スリープモード指示信号SLEEP_MODEを反転するインバータ2bと、インバータ2bの出力信号に従って初段のD型フリップフロップ2a0の出力ZQからの信号と補のリフレッシュ活性化指示信号REF_ACT_nの一方を選択してD型フリップフロップ2a1のクロック入力へ与えるマルチプレкса2cと、補のリフレッシュ活性化指示信号REF_ACT_nと補のスリープモード指示信号SLEEP_MODE_nを受けてD型フリップフロップ2a0のクロック入力へその出力信号を与えるAND回路2dと、D型フリップフロップ2a0の出力Qからの信号と補のスリープモード指示信号SLEEP_MODE_nとを受けてリフレッシュアドレスビットQA<0>を出力するAND回路2eを含む。

【0168】D型フリップフロップ2a1-2a11は、それぞれ前段のフリップフロップの出力ZQをクロック入力に受ける。D型フリップフロップ2a1-2a11の出力QからリフレッシュアドレスビットQA<1>-QA<11>が出力される。

【0169】この図15に示すリフレッシュカウンタは、リプルカウンタをベースにしている。1ビット/1セルの通常動作モード時には、補のスリープモード指示信号SLEEP_MODE_nはHレベルであり、AND回路2dおよび2eはバッファ回路として動作する。またマルチプレкса2cは、D型フリップフロップ2a0の出力ZQからの出力信号を選択している。したがって、この場合においては、リフレッシュ活性化指示信号REF_ACTが非活性化され、応じて補のリフレッシュ活性化指示信号REF_ACT_nが活性化されると、D型フリップフロップ2a0の出力ZQの状態が変化する。

【0170】D型フリップフロップ2a1-2a11各々は、前段のフリップフロップの出力ZQからの出力信号が“0”(Lレベル)から“1”(Hレベル)へ立上るときに自身の出力Qからの信号を変化させる。すなわち、ビットQA<i>が0に戻ると、次のビットQA

<i+1>が1に立上がる。したがって、12ビットのアドレスビットQA<11>-QA<0>が1ずつ増分される。1ビット/1セルモード時において、オートリフレッシュコマンドが与えられたときに、リフレッシュカウンタ2がカウント動作を行なって、1ずつそのリフレッシュアドレスを増分する。

【0171】一方、スリープモード時には、スリープモード指示信号SLEEP_MODEがHレベル、補のスリープモード指示信号SLEEP_MODE_nがLレベルとなり、リフレッシュアドレスの最下位ビットQA<0>が“0”に固定され、またAND回路2dの出力信号がLレベルであり、D型フリップフロップ2a0は、リセット状態を維持する。ここで、スリープモードエントリ時には、リフレッシュアドレスカウンタは一旦リセット信号RSTによりすべてビット値が“0”にリセットされてもよい。

【0172】マルチプレкса2cは、補のリフレッシュ活性化指示信号REF_ACT_nを選択してD型フリップフロップ2a1のクロック入力へ与えている。したがって、このリフレッシュ動作が完了することに、D型フリップフロップ2a1の出力QからのビットQA<1>の値が変化し、全体として、このリフレッシュアドレスビットQA<11>-QA<0>は、2ずつ増分される。これにより、1ビット/2セルモード(ツインセルモード)において、リフレッシュアドレスを2ずつ増分させて、偶数ロウアドレスのワード線およびこれと対をなす奇数ロウアドレスのサブワード線を同時に選択する。

【0173】図16は、図11に示すプリデコード回路5の構成の一例を示す図である。図16において、プリデコード回路5は、内部アドレスビットRAF<0>を反転するインバータ5aと、インバータ5aの出力信号とツインセルモード指示信号T_MODE_nを受けてロウアドレスビットRAD<0>を生成するNAND回路5cと、インバータ5aの出力信号を受けるインバータ5bと、インバータ5bの出力信号と補のスリープモード指示信号SLEEP_MODE_nを受けて補の内部ロウアドレスビットZRAD<0>を生成するNAND回路5dと、アドレスビットRAF<1>を反転するインバータ5eと、インバータ5eの出力信号を反転するインバータ5fとインバータ5fの出力ビットRAD<1>とNAND回路5cからのロウアドレスビットRAD<0>を受けてプリデコード信号X<3>を生成するAND回路5gと、インバータ5eからのアドレスビットZRAD<1>とNAND回路5cからのロウアドレスビットRAD<0>を受けてプリデコード信号X<1>を生成するAND回路5hと、ロウアドレスビットRAD<1>と補のアドレスビットZRAD<0>を受けてプリデコード信号X<2>を生成するAND回路5iと、アドレスビットZRAD<1>およびZRAD<0>を受けてプリデコード信号X<0>を生成するAN

D回路5jを含む。

【0174】スリープモードに入ると、補のスリープモード指示信号SLEEP_MODE_nがLレベルとなり、応じてNAND回路5dからのアドレスビットZRAD<0>がHレベルとなる。したがって、プリデコード信号X<0>およびX<2>の一方がアドレスビットRAD<1>の値に応じてHレベルとなる。アドレスビットRAD<1>が“0”であれば、プリデコード信号X<0>が“1”となる。この状態で、ツインセルモード指示信号T_MODE_nがLレベルとなると、NA
ND回路5cからのアドレスビットRAD<0>が
“1”となる。

【0175】スリープモード時においては、リフレッシュアドレスビットQA<0>は0に固定されており、アドレスビットRAF<0>は“0”である。したがって、このツインセルモード指示信号T_MODE_nがLレベルとなると、プリデコード信号X<3>およびX<1>の一方がアドレスビットRAD<1>の値に応じて活性状態へ駆動される。アドレスビットRAD<1>が“0”であれば、プリデコード信号X<1>が選択状態へ駆動される。したがって、ツインセル書込モード時においては、たとえばプリデコード信号X<0>により選択されるサブワード線が選択状態へ駆動された後、プリデコード信号X<1>で選択されるサブワード線が選択状態へ駆動される。したがって、このツインセル書込モード時においては、プリデコード信号X<3:0>は、リフレッシュカウンタのアドレスビットQA<1:0>のセルフリフレッシュモードエントリ時の出発アドレスが(00)の場合、<0001>→<0011>→<0100>→<1100>→<0001>→のように
変化し、ツインセル書込モード時においては、偶数アドレスのサブワード線および対となる奇数アドレスのワード線サブワード線が適当な時間差をつけて選択状態へ駆動される。

【0176】このツインセル書込モードが完了すると、スリープモードにおいて、ツインセルモードでのリフレッシュが実行される。この場合には、ツインセルモード指示信号T_MODE_nがLレベルに固定されており、アドレスビットRAD<0>およびZRAD<0>がともに“1”にあり、アドレスビットRAF<0>が縮退状態に設定されており、プリデコード信号X<0>およびX<1>の組またはX<2>およびX<3>の組の一方が同時に選択状態へ駆動される。

【0177】図17は、図11に示すサブデコード信号発生回路7の構成を概略的に示す図である。図17において、サブデコード信号発生回路7は、ワード線活性化信号RXACTとプリデコード信号X<i>を受けてサブデコードファースト信号ZSDF<i>を生成するNAND回路7aと、NAND回路7aからの周辺電源電圧Vccレベルの信号を昇圧電圧Vppレベルの信号

に変換するレベル変換回路7bを含む。ここで、i=0~3である。

【0178】ワード線活性化信号RXACTがHレベルの活性状態となると、プリデコード信号X<i>が選択状態のHレベルのときには、サブデコードファースト信号ZSDF<i>がLレベルの活性状態へ駆動される。したがって、プリデコード信号X<3:0>に従ってサブデコードファースト信号ZSDF<3:0>が生成されており、2つのプリデコード信号の組を同時に選択状態へ駆動することにより、応じてサブデコードファースト信号も、2つのサブデコードファースト信号が同時に選択状態へ駆動され、偶数ロウアドレスおよび奇数ロウアドレスのサブワード線が同時に選択状態に駆動される。したがって、セルフリフレッシュモード時、ツインセルモードでデータのリフレッシュおよびデータの書込を行なうことができる。

【0179】図18(A)は、リフレッシュカウンタ2に含まれるツインセル書込モード指示信号発生部の構成を概略的に示す図である。図18(A)において、ツインセル書込モード指示信号発生部は、スリープモード指示信号SLEEP_MODEの活性化にตอบสนองしてワンショットのパルス信号を発生するワンショットパルス発生回路2hと、このワンショットパルス発生回路2hの出力パルス信号の立上がりに対応してセットされるセット/リセットフリップフロップ2jを含む。このセット/リセットフリップフロップ2jの出力Qからツインセル書込モード指示信号TWC_WRITE_MODEが出力される。

【0180】このツインセル書込モード指示信号発生部は、さらに、スリープモード指示信号SLEEP_MODEがHレベルとなるとアドレスビットQA<11:1>を取込みラッチしかつ出力するラッチ回路2mと、スリープモード指示信号SLEEP_MODEの立上がりを所定時間tDだけ遅延する立上がり遅延回路2iと、立上がり遅延回路2iからの遅延スリープモード指示信号SMDの立上がりに対応してラッチ回路2mから与えられたアドレスビットQAF<11:1>を取込みかつラッチしかつ出力するラッチ回路2nと、アドレスビットQA<11:1>とラッチ回路2nからのラッチアドレスビットQAL<11:1>の一致/不一致を識別する一致検出回路2pを含む。この一致検出回路2pからの出力信号EXがHレベルとなると、セット/リセットフリップフロップ2jがリセットされる。一致検出回路2pは、アドレスビットQA<11:1>およびQAL<11:1>をそれぞれ各ビットずつ比較し全ビットについて一致が検出されたときに、その出力信号EXをHレベルの一致検出状態に設定する。次に、図18(A)に示すツインセル書込モード指示信号発生部の動作を図18(B)に示す信号波形図を参照して説明する。

【0181】スリープモード指示信号SLEEP_MO

DEがLレベルのときには、ラッチ回路2mおよび2nはともにスルー状態である。しかしながら、このワンショットパルス発生回路2hはパルスを発生しないため、ツインセル書込モード指示信号TWC_WRITE_MODEはLレベルを維持する。スリープモードエントリコマンドが与えられ、スリープモード指示信号SLEEP_MODEがHレベルに立上ると、ワンショットパルス発生回路2hからワンショットパルスのパルスが発生され、セット/リセットフリップフロップ2jがセットされ、ツインセル書込モード指示信号TWC_WRITE_MODEがHレベルに立上がる。

【0182】このスリープモード指示信号SLEEP_MODEが立上るとラッチ回路2mがラッチ状態となり、そのときに与えられているアドレスビットQA<11:1>を取込みラッチしかつ取込んだアドレスビットをアドレスビットQAF<11:1>として出力する。したがって、このラッチ回路2mからのアドレスビットQAF<11:1>は、スリープモード指示信号SLEEP_MODEの立上がりに対応してラッチ状態となる。

【0183】このスリープモード指示信号SLEEP_MODEの活性化に対応してリフレッシュ活性化信号REF_RASが発生されてリフレッシュ動作（セル書込モード動作）が実行される。リフレッシュアレイ活性化信号REF_RASがLレベルとなるとアドレスビットQA<11:1>の値が1更新される。立上がり遅延回路2iの遅延時間tDは、スリープモードに入った後最初のリフレッシュ活性化信号REF_RASに従ってリフレッシュ動作が実行されるまでに必要とされる時間以上の長さを有する。したがって、このリフレッシュが実行され、アドレスビットQ<11:1>の値が更新された後に、立上がり遅延回路2iからの遅延スリープモード指示信号SMDに従って、ラッチ回路2nが、ラッチ回路2mからのアドレスビットQAF<11:1>を取込みかつラッチしかつラッチアドレスビットQAL<11:1>として出力する。

【0184】ラッチ回路2mおよび2nは、以降ラッチ状態を維持しており、アドレスビットQA<11:1>の値が更新されても、これらのアドレスビットQAF<11:1>およびQAL<11:1>の値は変化せず、スリープモードエントリ時の最初にリフレッシュが行なわれた（ツインセルモード書込が行なわれた）アドレスを指定する。以降所定の周期で、リフレッシュ活性化信号REF_RASが活性化され、このリフレッシュ動作完了ごとに、アドレスビットQA<11:1>が1更新される。最終的に、アドレスビットQA<11:1>が元のアドレスQAsになると、一致検出回路2pからの出力信号EXがHレベルとなり、セット/リセットフリップフロップ2jがリセットされ、ツインセル書込モード指示信号TWC_WRITE_MODEが非活性化さ

れる。これにより、出発アドレスQAsから全アドレスQAs-1までのアドレス（偶数アドレス）についてのツインセルモードでのデータ書込が完了する。立上がり遅延回路2iの遅延時間tDは、適当な長さに定められればよい。リフレッシュアドレスカウンタのカウンタ値が一巡するまでに、ラッチ回路2nからのラッチアドレスビットQAL<11:1>が、出発アドレスを示すカウンタ値に設定されていなければならないためである。

【0185】ラッチ回路2mおよび2nは、立上がりエッジトリガ型のラッチ回路で構成されてもよい。またラッチ回路2mはスリープモード指示信号SLEEP_MODEがHレベルのときにラッチ状態となり、スリープモード指示信号SLEEP_MODEがLレベルのときにスルー状態となるトランスファークロップを含むラッチ回路で構成されてもよい。この場合、ラッチ回路2nも同様、遅延スリープモード指示信号SMDがHレベルとなるとラッチ状態となり、遅延スリープモード指示信号SMDがLレベルとなるとスルー状態となるトランスファークロップを含むラッチ回路で構成されてもよい。

【0186】ラッチ回路2mおよび2nを設けることにより、ツインセル書込モード時においてすべての偶数アドレスに対しデータ再書込を行なった後にツインセル書込モード指示信号TWC_WRITE_MODEを非活性化することができる。

【0187】図19は、図11に示すセルフリフレッシュタイマ9の構成を概略的に示す図である。図19において、セルフリフレッシュタイマ9は、スリープモード指示信号SLEEP_MODEの活性化時起動され、所定の周期で発振するリングオシレータ9aと、リングオシレータ9aの出力パルスをカウントし、所定値に到達するごとにリフレッシュ要求信号FAYを発生するカウンタ9bを含む。このリングオシレータ9aは、たとえばスリープモード指示信号SLEEP_MODEを一方入力に受けるNAND回路をインバータ段として挿入する奇数段のインバータ列で構成される。スリープモード時、カウンタ9bが所定値をカウントする毎にカウントアップ信号を発生することにより、所定の間隔で、リフレッシュ要求信号FAYを発行することができる。

【0188】〔変更例〕図20は、この発明の実施の形態1の変更例の構成を概略的に示す図である。図20において、メモリマツトは8個のメモリアレイMA0-MA7を含む。これらのメモリアレイMA0-MA7は、上位3ビットアドレスRA<11:9>で指定される。メモリアレイMA0-MA3は、ビットRA<11>が0のときに指定される。メモリアレイMA4-MA7の領域は、アドレスビットRA<11>が“1”のときに指定される。アドレスビットRA<10:9>により、2つのメモリアレイが指定される。したがって、このスリープモード時において、アドレスビットRA<11>を“0”固定すれば、メモリアレイMA0-MA3の領

域をデータ保持領域として利用することができる。

【0189】この場合、すべてのメモリアレイMA0-MA7を利用する場合に比べてリフレッシュ間隔を2倍に長くすることができ、消費電流をより低減することができる。この場合、リフレッシュアドレスカウンタ2のカウンタ値が一旦、初期値(0, 0...0)にリセットされる。

【0190】図21は、この変更例におけるリフレッシュカウンタ2の構成を概略的に示す図である。アドレスビットQ<0>は、補のスリープモード指示信号SLEEP_MODE_nとカウンタの最下位出力ビットCQ<0>を受けるANDゲート2e aから生成される。このANDゲート2e aは、図15に示す構成のNAND回路2eに対応する。カウンタの上位出力ビットCQ<1>-CQ<10>が、リフレッシュアドレスビットQ<1>-Q<10>として利用される。一方、リフレッシュアドレスビットQ<11>に対しては、ハーフリフレッシュブロックサイズ指示信号HRBSとスリープモード指示信号SLEEP_MODEを受けるNAND回路2sと、NAND回路2sの出力信号とカウンタからのカウンタビットCQ<11>を受けるAND回路2tが設けられる。このAND回路2tから、最上位アドレスビットQ<11>が生成される。

【0191】リフレッシュブロックサイズ指定信号HRBSは、メモリアレイMA0-MA3の4メモリアレイを利用する場合にHレベルに設定される。したがって、スリープモード指示信号SLEEP_MODEがHレベルとなり、スリープモードに入ると、NAND回路2sの出力信号がLレベルとなり、応じてリフレッシュアドレスビットQ<11>が0に固定される。リフレッシュアドレスビットQ<10:1>でカウンタ動作が行なわれる(カウンタの回路構成は図15と同じ)。これにより、図20のメモリアレイMA0-MA3に対しデータを行なうことができる。

【0192】なお、この構成を拡張すれば、4メモリアレイMA0-MA3、2メモリアレイMA0およびMA1、および1メモリアレイMA0の単位で、データ保持領域を設定することができる。ビットCQ<11>-CQ<9>各々に、AND回路2tおよびNAND回路2sを設け、各リフレッシュブロックサイズに応じて、NAND回路2sに与えられる信号の論理レベルを設定する。リフレッシュブロックサイズデータを、たとえばモードレジスタに設定することにより、メモリアレイMA0のみをデータ保持記憶領域として利用する場合、メモリアレイMA0およびMA1をデータ保持領域として利用する場合、およびメモリアレイMA0-MA3をデータ保持領域として利用する場合のそれぞれの構成を実現することができる。

【0193】図22は、メモリアレイ単位でリフレッシュデータ記憶領域を設定する場合の、ツインセル書込モ

ード指示信号発生部の構成を概略的に示す図である。図22において、ツインセル書込モード指示信号発生部は、スリープモード指示信号SLEEP_MODEの活性化にตอบสนองしてワンショットパルス信号を発生するワンショットパルス発生回路2hと、ワンショットパルス発生回路2hの出力パルスにตอบสนองしてセットされるセット/リセットフリップフロップ2iと、1/8リフレッシュブロックサイズ指示信号RBS/8の活性化時導通し、リフレッシュアドレスビットQ<8>をリセット入力Rに結合するトランスファークゲート2uと、1/4リフレッシュブロックサイズ指示信号RBS/4の活性化時導通し、リフレッシュアドレスビットQ<9>をリフレッシュ入力Rに伝達するトランスファークゲート2vと、1/2リフレッシュブロックサイズ指示信号RBS/2の活性化時導通し、リフレッシュアドレスビットQ<10>をリフレッシュ入力Rに結合するトランスファークゲート2wを含む。このセット/リセットフリップフロップ2iは、リセット入力Rに与えられる信号の立下りにตอบสนองしてリセットされる。セット/リセットフリップフロップ2iの出力Qから、ツインセル書込モード指示信号TWC_WRITE_MODEが出力される。

【0194】1/8リフレッシュブロックサイズ指示信号RBS/8の活性化時、1つのメモリアレイMA0をデータ保持領域として利用する。1/4リフレッシュブロックサイズ指示信号RBS/4の活性化時、1/4ブロックすなわちメモリアレイMA0およびMA1をデータ保持領域として利用する。1/2リフレッシュブロックサイズ指示信号RBS/2の活性化時、リフレッシュブロックデータ保持領域としてメモリアレイMA0-MA3が利用される。メモリアレイMA0のみがデータ保持領域として利用される場合、リフレッシュアドレスビットQ<8>-Q<1>の間でカウンタ動作が実行され、上位リフレッシュアドレスビットQ<11:9>は、(000)に設定される。したがって、この場合の最大カウンタアドレスビットQ<8>がHレベルからLレベルに立下がれば、メモリアレイMA0のツインセルモードでのデータ書込が完了する。

【0195】同様に、1/4リフレッシュブロックサイズ指示信号RBS/4の活性化時、メモリアレイMA0およびMA1がデータ保持領域として利用される。この場合、リフレッシュアドレスビットQ<9:1>の範囲でカウンタ動作が実行され、リフレッシュアドレスビットQ<11:10>は“00”に固定される。したがって、このリフレッシュアドレスビットQ<9>が“1”から“0”への変化により、メモリアレイMA0およびMA1の偶数ロウアドレスに対するツインセルモードでのデータ書込が完了したことが検出される。1/2リフレッシュブロックサイズ指示信号RBS/2の活性化時は、メモリアレイMA0-MA3がデータ保持領域として利用される。この状態においては、リフレッシュアド

レスビット $Q < 11 >$ が “0” に固定され、リフレッシュアドレスビット $Q < 10 : 1 >$ の範囲でカウント動作が実行される。したがって最上位のリフレッシュアドレスビット $Q < 10 >$ の “1” から “0” の変化により、このメモリアレイ MA0-MA3 の偶数ロウアドレスに対するツインセルモードでのデータ書込が完了したことが検出される。

【0196】リフレッシュブロック際指示信号 RBS/8、RBS/4 および RBS/2 に応じて、リフレッシュアドレスビット $Q < 9 >$ 、 $Q < 10 >$ および $Q < 11 >$ を選択的に “0” に固定することにより、リフレッシュアドレスビットの変化領域を設定することができる。この構成では、ツインセル書込モード時のリフレッシュ要求信号 FAY の発行周期を短くし、ツインセルモードでの再書込の前にデータが破壊するのを防止する。また、これに代えて、セルフリフレッシュエントリ時のブロックサイズに応じたカウントビットを出発アドレスとして、全アドレスの再書込みが行なわれたか否かの判定が行なわれてもよい。

【0197】図 23 は、リフレッシュブロックサイズ可変構成におけるリフレッシュタイマ 9 の構成を概略的に示す図である。図 23 において、リフレッシュタイマ 9 は、スリープモード指示信号 SLEEP_MODE の活性化時起動され、所定の周期で発振信号を生成するリングオシレータ 9c と、リングオシレータ 9c の発振信号をカウントするカウンタ 9d と、リフレッシュブロックサイズ指示信号 RBS/1 の活性化時導通しカウンタ 9d の所定のカウントビットを選択して、リフレッシュ要求信号 FAY を生成するトランスファークラップ 9e と、リフレッシュブロックサイズ指示信号 RBS/2 の活性化時導通しカウンタ 9d の所定ビットを選択して、リフレッシュ要求信号 FAY を生成するトランスファークラップ 9f と、リフレッシュブロックサイズ指示信号 RBS/4 の活性化時導通しカウンタ 9d の所定のビットを選択してリフレッシュ要求信号 FAY を生成するトランスファークラップ 9g と、リフレッシュブロックサイズ指示信号 RBS/8 の活性化時導通しカウンタ 9d の最上位カウントビットを選択してリフレッシュ要求信号 FAY を生成するトランスファークラップ 9h を含む。カウンタ 9d は、このリフレッシュ要求信号 FAY が活性化されると再びリセットされて、その初期値からカウント動作を開始する。これらのトランスファークラップ 9e-9h が選択するカウンタ 9d のカウントビットは 1 桁ずつ位置がずれている。したがってリフレッシュブロックサイズが小さくなるにつれて、リフレッシュ要求信号 FAY が発行される周期が長くなる。これにより、リフレッシュブロックサイズに応じてリフレッシュ間隔を変更することができる。

【0198】図 24 はリフレッシュタイマ 9 の変更例の構成を示す図である。図 24 において、リフレッシュ

タイマ 9 は、スリープモード指示信号 SLEEP_MODE の活性化に応答して起動される可変リングオシレータ 9i と、可変リングオシレータ 9i の出力信号をカウントし所定値に到達するとリフレッシュ要求信号 FAY を発生するカウンタ 9b を含む。可変リングオシレータ 9i は、リフレッシュブロックサイズ指示信号 RBS/1、RBS/2、RBS/4 および RBS/8 に応じてそのリング段数が増加する。したがって、リフレッシュブロックサイズが全メモリアレイ MA0-MA7 のときには、可変リングオシレータ 9i の発振周期が最も短く、リフレッシュブロックサイズ RBS/8 が活性状態にあり、メモリアレイ MA0 のリフレッシュのみが行なわれる場合には、可変リングオシレータ 9i の発振周期が最も長くなる。したがって、カウンタ 9b から発生されるリフレッシュ要求信号 FAY は、全メモリアレイ MA0-MA7 のリフレッシュを行なう場合のリフレッシュ間隔よりも、リフレッシュブロックサイズが小さくされるにつれてそのリフレッシュ要求信号 FAY の発行間隔が長くなる。これにより、スリープモード時のリフレッシュ回数を低減でき、消費電流を低減することができる。

【0199】[変更例 2] 図 25 は、この発明の実施の形態 1 の変更例 2 のセルフリフレッシュタイマ 9 の構成を概略的に示す図である。図 25 において、セルフリフレッシュタイマ 9 は、スリープモード指示信号 SLEEP_MODE の活性化時起動されて発振動作を行なう可変リングオシレータ 9j と、この可変リングオシレータ 9j の出力信号をカウントし、カウント値が所定値に到達するとリフレッシュ要求信号 FAY を発行するカウンタ 9k を含む。この可変リングオシレータ 9j は、ツインセル書込モード指示信号 TWC_WRITE_MODE の活性化時その段数が小さくされ、発振周期が短くされる。ツインセル書込モード時においては、1 ビット/1 セルモードで一旦記憶されたデータを、1 ビット/2 セルモードの単位セルにデータを書込む必要がある。したがって、1 ビット/1 セルモードでのメモリアルセルのリフレッシュ時間により、このツインセル書込モード時のデータ保持時間が決定される。このツインセル書込モード時において、たとえばリフレッシュカウンタ 2 のカウント値を (0, 0...0) にリセットする場合、1 ビット/1 セルモードの単位セルに書込まれたデータが消失する可能性がある。そこで、ツインセル書込モード時においては可変リングオシレータ 9j の発振周期を短くし、1 ビット/1 セルモード時のリフレッシュ間隔 (オートリフレッシュコマンド発行間隔) で、ツインセルモード単位セルへの書込を実行する。これにより、ツインセル書込モード動作期間を短縮することができ、また確実に、1 ビット/1 セルモードの単位セルに書込まれたデータを、破壊することなく 1 ビット/2 セルモード (ツインセルモード) の単位セルに再書込することがで

きる。

【0200】なお、この変更例2においては、図25において括弧で示すようにカウンタ9kのカウントアップ値を、ツインセル書込モード時に変更するように構成されてもよい。ツインセル書込モード時に、カウンタ9kのカウント範囲を小さくし、リフレッシュ要求信号FAYが発行される周期を短くする。

【0201】以上のように、この発明の実施の形態1に従えば、データ保持を行なう動作モード時においては、1ビット/2セルモード（ツインセルモード）でデータを記憶するように構成しており、リフレッシュ間隔を長くすることができ、応じてリフレッシュ回数を低減でき、消費電力を大幅に低減することができる。

【0202】〔実施の形態2〕図26は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。図26においては、1つのセンスアンプSAに関連する部分の構成を示す。このセンスアンプSAは、一方のメモリサブアレイのビット線BLLおよびZBLLにビット線分離ゲートBIGLを介して結合され、また他方のメモリアレイのビット線BLRおよびZBLRにビット線分離ゲートBIGRを介して結合される。センスアンプSAは、交差結合されるPチャネルMOSトランジスタP1およびP2と、交差結合されるNチャネルMOSトランジスタN1およびN2を含む。PチャネルMOSトランジスタP1およびP2は、共通ビット線CBLおよびZCBLの高電位のビット線電位をアレイ電源電圧VCCSレベルに駆動する。NチャネルMOSトランジスタN1およびN2は活性化時、共通ビット線CBLおよびZCBLの低電位のビット線を接地電圧レベルに駆動する。

【0203】このセンスアンプSAに対し、センス駆動回路SDKが設けられる。このセンス駆動回路SDKは、所定数のセンスアンプSAに対し1つ設けられる。センス駆動回路SDKは、センス活性化信号ZSOPの活性化時導通し、センス共通電源線S2Pにアレイ電源電圧VCCSを伝達するPチャネルMOSトランジスタP3と、スリープモード時活性化されるセンスアンプ活性化信号ZSOP_Sの活性化時導通し、センス共通電源線S2Pにアレイ電源電圧VCCSを伝達するPチャネルMOSトランジスタP4と、センスアンプ活性化信号SONの活性化時導通し、センス共通接地線S2Nに接地電圧を伝達するNチャネルMOSトランジスタN3と、スリープモード時のセンスアンプ活性化信号SON_Sの活性化時導通し、センス共通接地線S2Nに接地電圧を伝達するNチャネルMOSトランジスタN4を含む。MOSトランジスタP4およびN4は、それぞれ、MOSトランジスタP3およびN3よりも電流駆動力（チャネル幅とチャネル長との比）が小さく設定される。

【0204】センス周辺回路として、ビット線BLLお

よびZBLLには、ビット線イコライズ指示信号BLEQLの活性化時活性化され、ビット線BLLおよびZBLLにプリチャージ電圧VBLを伝達しかつこれらのビット線BLLおよびZBLL電位をイコライズするビット線イコライズ回路BEQLが設けられる。ビット線BLRおよびZBLRに対しビット線イコライズ指示信号BLEQRの活性化時活性化され、ビット線BLRおよびZBLRを電氣的に短絡しかつプリチャージ電圧VBLをこれらのビット線BLRおよびZBLRへ伝達するビット線イコライズ回路BEQRが設けられる。

【0205】また、共通ビット線CBLおよびZCBLに対し、列選択線CSL上の列選択信号に応答して導通し、共通ビット線CBLおよびZCBLをグローバルデータ線GIOおよびZGIOで結合する列選択ゲートCSGが設けられる。グローバルデータ線GIOおよびZGIOはグローバルデータ線対GIOPを構成し、メモリアレイ上を列方向に延在して配設される。

【0206】この図26に示すセンス駆動回路SDKの構成において、通常動作モード時においては、センスアンプ活性化信号ZSOPおよびSONが活性化され、センス共通電源線S2Pおよびセンス共通接地線S2Nは、それぞれ比較的大きな電流駆動力を有するMOSトランジスタP3およびN3により駆動される。一方、スリープモード時においては、センスアンプ活性化信号ZSOP_SおよびSON_Sが活性化され、センス共通電源線S2Pおよびセンス共通接地線S2Nは、比較的小さな電流駆動力を有するMOSトランジスタP4およびN4により、比較的緩やかに駆動される。

【0207】スリープモード時には、高速動作は何ら要求されない（データアクセスは行なわれない）。したがって、このセンス駆動用のMOSトランジスタP4およびN4の電流駆動力を小さくして、センスアンプSAがセンス共通電源線SPおよびセンス共通接地線S2Nの電圧変化に従って共通ビット線CBLおよびZCBLを緩やかに駆動しても、何ら問題は生じない。センス動作時のピーク電流が低減され、応じてスリープモード時の平均消費電流をさらに低減することができる。

【0208】図27は、センス駆動回路SDKの配置を概略的に示す図である。図27においては、1つのメモリアレイにおける2つのメモリサブアレイの部分の構成を概略的に示す。メモリサブアレイMSA0およびMSA1それぞれの列方向の上下側に、センスアンプバンドSABが配置される。これらのセンスアンプバンドSABには、メモリサブアレイMSA0およびMSA1それぞれのビット線対に対応してセンスアンプSAが配置される。メモリサブアレイMSA0およびMSA1の行方向において隣接する領域においてサブワードドライバ帯SWDBが配置される。サブワードドライバ帯SWDBにおいては、それぞれメモリサブアレイMSA0およびMSA1のサブワード線を駆動するためのサブワード

ドライバが配置される。サブワードドライバ帯SWDBとセンスアンプ帯SABの交差領域CRに、センス駆動回路SDKが配置される。行方向に整列するセンスアンプバンドSABに対し、センス共通電源線S2Pおよびセンス共通接地線S2Nが行方向に延在して配設される。センス共通電源線S2Pおよびセンス共通接地線S2Nに対し所定の間隔でセンス駆動回路SDKを配置することにより、これらのセンス共通電源線S2Pおよびセンス共通接地線S2N上の電圧分布を抑制し、正確なセンス動作を実現する。

【0209】図28は、センス制御回路の構成を概略的に示す図である。図28において、センス制御回路は、メインセンスアンプ活性化信号SOをバッファ処理してメインセンス活性化信号SOPMおよびSONMをそれぞれ生成するバッファ回路20aおよび20bと、スリープモード指示信号SLEEP_MODEを反転するインバータ20cと、バッファ回路20aの出力信号SOPMとスリープモード指示信号SLEEP_MODEを受けてスリープモード時のセンスアンプ活性化信号ZSOP_Sを発生するNAND回路20dと、インバータ回路20cの出力信号とメインセンス活性化信号SOPMを受けて通常動作モード時のセンスアンプ活性化信号ZSOPを発生するNAND回路20eと、スリープモード指示信号SLEEP_MODEとバッファ回路20bからのメインセンス活性化信号SONMを受けてスリープ動作モード時のセンスアンプ活性化信号SON_Sを発生するAND回路20fと、メインセンス活性化信号SONMとインバータ20cの出力信号とを受けて通常動作モード時のセンスアンプ活性化信号SONを発生するAND回路20gを含む。これらのNAND回路20dおよび20eおよびAND回路20fおよび20gの出力するセンスアンプ活性化信号は、さらに、それぞれブロック選択信号BSにより、最終的に選択的に活性化される。センスアンプ帯を共有するメモリアレイが選択状態となったときに、このセンスアンプ帯に対するセンスアンプ活性化信号が活性化される。

【0210】スリープモード時においては、スリープモード指示信号SLEEP_MODEがHレベルに設定され、インバータ20cの出力信号がLレベルに固定される。したがって、AND回路20eからのセンスアンプ活性化信号ZSOPがHレベルに保持され、またAND回路20gからのセンスアンプ活性化信号SONがLレベルに固定される。一方、NAND回路20dがインバータとして動作し、メインセンス活性化信号SOPMに従ってセンスアンプ活性化信号ZSOP_Sを生成する。またAND回路20fがバッファ回路として動作し、メインセンス活性化信号SONMに従ってセンスアンプ活性化信号SON_Sを発生する。

【0211】通常動作モード時においては、スリープモード指示信号SLEEP_MODEがLレベルであり、

インバータ20cの出力信号がHレベルとなる。この状態においては、センスアンプ活性化信号ZSOP_SはHレベルに固定され、またセンスアンプ活性化信号SON_Sが、Lレベルに固定される。NAND回路20eがインバータとして動作し、メインセンス活性化信号SOPMを反転してセンスアンプ活性化信号ZSOPを発生する。AND回路20gが、バッファ回路として動作し、センス活性化信号SONMに従ってセンス信号SONMを発生する。

10 【0212】この図28に示す構成を利用して、図26に示すセンス駆動回路SDKを駆動することにより、スリープモード時のセンス電流（直流電流）を低減することができ、スリープモード時の直流消費電力を低減することができる。

【0213】なお、センスアンプ活性化信号ZSOP_SおよびSON_Sは、ツインセル書き込みモード完了後のリフレッシュ期間（セルリフレッシュモード）のみ活性化されてもよい。

20 【0214】〔実施の形態3〕図29は、この発明の実施の形態3に従う混載DRAMの動作を示す信号波形図である。図29において、ビット線プリチャージ電圧VBLを発生するVBL発生回路は、スリープモード時に動作を停止する。また、センスアンプ活性化信号として、図26に示すスリープモード時のセンスアンプ活性化信号ZSOP_SおよびSON_Sを使用する。

30 【0215】ワード線として、サブワード線SWLL<0>およびSWLR<1>を考える。サブワード線選択動作前に、センスアンプ活性化信号SON_SおよびZSOP_Sを非活性化状態に駆動する。センスアンプ活性化信号SON_SおよびZSOP_Sの非活性化にตอบสนองしてワンショットでビット線イコライズ指示信号BLEQを発生する。これにより、センスアンプSA（図26参照）によりラッチされていたHレベルおよびLレベルの電圧が、それぞれ共通ビット線CBLおよびZCBLから対応のビット線BLおよびZBLに伝達される。このビット線BLおよびZBLのイコライズ動作完了後、サブワード線SWLL<0>およびSWLR<1>を選択状態へ駆動する。

40 【0216】サブワード線SWLL<0>およびSWLR<1>を選択状態へ駆動した後、再び所定のタイミングでセンスアンプ活性化信号SON_SおよびZSOP_Sを活性化状態へ駆動し、ビット線BLおよびZBLの電位を差動増幅しかつラッチする。所定期間が経過すると、サブワード線SWLL<0>およびSWLR<1>を非選択状態へ駆動する。このとき、センスアンプ活性化信号SON_SおよびZSOP_Sは、次のリフレッシュ要求が与えられるまで、活性化状態を維持する。センスアンプSAのラッチ状態時においては、図26に示すMOSTランジスタP4およびN4がセンスアンプSAを駆動しており、このセンスアンプSAのラッチ能力

は小さい。

【0217】スリープモード時においては、Hレベル読出電圧 $\Delta V1$ (≥ 0)とLレベル読出電圧 $\Delta V2$ (≤ 0)の電位差 $\Delta V1 - \Delta V2$ を、センスアンプSAがセンスする。したがって、この電圧差は十分大きく、サブワード線の電圧が立上がる前のビット線プリチャージ電圧は、中間電圧 $VCCS/2$ から多少ずれてもセンス動作には悪影響は及ぼさない。ワード線選択動作前にセンスアンプを非活性状態として、次いで、ビット線イコライズ指示信号BLEQを所定期間活性状態としてビット線を電氣的に短絡して、HレベルデータおよびLレベルデータの電荷の移動により、各ビット線をほぼ中間電圧レベルにプリチャージする。

【0218】なお、ビット線イコライズ指示信号BLEQおよびセンスアンプ活性化信号SON_SおよびZSOP_Sの電圧レベルがアレイ電源電圧VCCSよりも高くなっているのは、高速駆動するために周辺電源電圧VCCPを利用しているためである。サブワード線 $SWLL < 0 >$ および $SWLR < 1 >$ へは、これらの周辺電源電圧およびアレイ電源電圧VCCSよりも高い昇圧電圧VPPが伝達される。

【0219】図30は、この発明の実施の形態3におけるVBL発生回路の構成を概略的に示す図である。図30において、VBL発生回路は、活性化時中間電圧 $VCCS/2$ を発生する中間電圧発生回路21と、導通時中間電圧発生回路21へアレイ電源電圧VCCSを伝達するPチャネルMOSトランジスタ22と、ツインセル書込モード指示信号TWC_WRITE_MODEを反転するインバータ23と、インバータ23の出力信号とスリープモード指示信号SLEEP_MODEを受けて電源トランジスタ(PチャネルMOSトランジスタ)22の導通/非導通を制御するAND回路24を含む。

【0220】通常動作モード時においては、AND回路24からのセルフリフレッシュモード指示信号SRFは、Lレベルであり、電源トランジスタ22が導通し、中間電圧発生回路21は、アレイ電源電圧VCCSに従って中間電圧 $VCCS/2$ を生成してビット線プリチャージ電圧VBLを生成する。

【0221】スリープモード時において、ツインセル書込モード時においては、セルフリフレッシュモード指示信号SRFはLレベルであり、電源トランジスタ22が導通状態にあり、中間電圧発生回路21は、中間電圧 $VCCS/2$ レベルの電圧を発生する。ツインセル書込モードが完了すると、AND回路24の出力信号SRFがHレベルとなり、電源トランジスタ22が非導通状態となる。応じて、中間電圧発生回路21が電源ノードから切離され、中間電圧発生動作を停止し、ビット線プリチャージ電圧VBLはフローティング状態となり接地電圧レベルへ徐々に低下する。

【0222】なお、図30に示す構成において、中間電

圧発生回路21の接地ノード側にも、電流源トランジスタを設け、信号SRFが活性状態のとき非導通状態となるようにしてもよい。すなわち、中間電圧発生回路21を電源ノードおよび接地ノードからともに切離すように構成してもよい。また、信号SRFの活性化時、プリチャージ電圧VBLを接地電圧に固定するように、接地用トランジスタを設けてもよい。

【0223】図31は、ビット線イコライズ回路の構成を示す図である。図31において、ビット線イコライズ回路BEQは、ビット線イコライズ指示信号BLEQの活性化時導通しビット線BLおよびZBLを電氣的に短絡するイコライズ用のNチャネルMOSトランジスタT1と、ビット線プリチャージ指示信号BLPRの活性化時導通し、ビット線BLおよびZBLにビット線プリチャージ電圧VBLを伝達するプリチャージ用のNチャネルMOSトランジスタT2およびT3を含む。

【0224】通常動作モード時においては、ビット線イコライズ指示信号BLEQおよびビット線プリチャージ指示信号BLPRは同じタイミングで変化する。一方、スリープモード時においてツインセル書込モード完了後、このビット線プリチャージ指示信号BLPRは非活性状態に維持され、プリチャージ用MOSトランジスタT2およびT3は非導通状態を維持する。一方、ビット線イコライズ指示信号BLEQが、セルフリフレッシュ動作モード時(ツインセル書込モード完了後のモードで信号SRFがHレベルにある)においては、セルフリフレッシュ要求が与えられるごとに所定期間Hレベルの活性状態となり、ビット線BLおよびZBLを電氣的に短絡する。ビット線イコライズ指示信号BLEQおよびビット線プリチャージ指示信号BLPRを別々に設けることにより、セルフリフレッシュモード時においてビット線短絡時、動作停止中の中間電圧発生回路21からの不安定な電圧または接地電圧がビット線BLおよびZBLへ伝達されて、このビット線BLおよびZBLのイコライズ動作に悪影響を及ぼすのを防止する。

【0225】図32は、行系制御信号発生部の構成の一例を示す図である。図32において、オートリフレッシュコマンドAREFとリフレッシュ要求信号FAYに従ってリフレッシュ活性化信号REF_RASを生成するリフレッシュコントロール回路10と、リフレッシュ活性化信号REF_RASとロウアクセス(アクティブ)コマンドRACTに従って、各行系制御信号を発生する行系制御回路11を含む。

【0226】リフレッシュコントロール回路10は、リフレッシュ要求信号FAYとオートリフレッシュコマンドAREFを受けるOR回路31と、OR回路31の出力信号の活性化時セットされてリフレッシュ活性化信号REF_RASを発生するセット/リセットフリップフロップ32と、メインセンスアンプ活性化信号SOの活性化後所定時間経過後にセット/リセットフリップフロ

ップ 32 をリセットするための遅延回路 33 を含む。遅延回路 33 は、セルフリフレッシュモード時遅延時間が時間 τ だけ長くされる。これは後に説明するようにセルフリフレッシュモード時アレイ活性化タイミングが時間 τ だけ遅れ、この遅れを補償してセルフリフレッシュモード時のアレイ活性化期間をオートリフレッシュモード時と同一とするためである。

【0227】このリフレッシュコントロール回路 10 は、リフレッシュ要求信号 FAY またはオートリフレッシュコマンド AREF が与えられると、リフレッシュ活性化信号 REF_RAS を活性化し、次いでセンス動作が行なわれ、遅延回路 33 が有する遅延時間の経過後、リフレッシュ活性化信号 REF_RAS を非活性化する。すなわち、リフレッシュ要求信号 FAY またはオートリフレッシュコマンド AREF が与えられると所定期間リフレッシュ活性化信号 REF_RAS が活性化され、リフレッシュアドレスカウンタからのリフレッシュアドレスに従ってリフレッシュ動作またはツインセル書込モード動作が実行される。

【0228】行系制御回路 11 は、メモリマットのメモリアレイ (MA0-MA7) に共通に設けられるメイン制御回路 11a と、各メモリアレイごとに設けられるローカル制御回路 11b を含む。メイン制御回路 11a は、ロウアクティブコマンド RACT が与えられたとき活性化される行選択活性化信号 RRAS とリフレッシュ活性化信号 REF_RAS を受ける OR 回路 41 と、OR 回路 41 からの出力信号 (アレイ活性化信号) RAS をセルフリフレッシュモード時所定時間遅延して伝達する可変遅延回路 42 と、可変遅延回路 42 の出力信号に従ってロウアドレスイネーブル信号 RADE を発生するアドレス活性回路 43 と、アドレス活性回路 43 の出力信号にตอบสนองしてワード線活性化用の信号 RXT および RXACT を発生するワード線活性回路 44 と、ワード線活性回路の出力信号に従ってメインセンスアンプ活性化信号 SO を発生するセンス活性回路 45 を含む。

【0229】これらのアドレス活性回路 43、ワード線活性回路 44 およびセンス活性回路 45 は、実質的に遅延回路で構成されており、可変遅延回路 42 の出力信号にตอบสนองして順次これらの制御信号 RADE および RXT、RXACT および SO が所定のシーケンスで活性化される。また、アドレス活性回路 43、ワード線活性回路 44 およびセンス活性回路 45 は、可変遅延回路 42 の出力信号の非活性化にตอบสนองしてそれぞれの出力信号を非活性化する。

【0230】可変遅延回路 42 は、立上がり遅延時間が可変であり、セルフリフレッシュモード (ツインセル書込モード完了後のスリープモード) 時に、アレイ活性化信号 RAS の活性化を遅らせる。可変遅延回路 42 は、アレイ活性化信号 RAS を受けるインバータ 42a と、インバータ 42a の出力信号とセルフリフレッシュモー

ド指示信号 SRF を受ける NAND 回路 42b と、NAND 回路 42b の出力信号とアレイ活性化信号 RAS を受ける AND 回路 42c を含む。セルフリフレッシュモード指示信号 SRF は、スリープモード指示信号 SLEEP_MODE が活性状態にありかつツインセル書込モード指示信号 TWC_WRITE_MODE が非活性状態となると活性化される。

【0231】この可変遅延回路 42 は、セルフリフレッシュモード時においては、NAND 回路 42b がインバータとして動作し、インバータ 42a および NAND 回路 42b が有する遅延時間 τ だけ、アレイ活性化信号 RAS の活性化を遅延する。セルフリフレッシュモード指示信号 SRF の非活性化時、NAND 回路 42b の出力信号は H レベルであり、アレイ活性化信号 RAS の活性化にตอบสนองして、AND 回路 42c の出力信号が H レベルに立上がる。したがって、ツインセル書込モード時および通常動作モード時にはアレイ活性化信号 RAS の活性化に従って、行選択動作およびセンス動作が実行される。一方、セルフリフレッシュモード時においては、アレイ活性化信号 RAS が活性化されて所定の時間 (インバータ 42a および NAND 回路 42b の有する遅延時間 τ) 経過後、行選択およびセンス動作が実行される。

【0232】ローカル制御回路 11b は、センスアンプ帯選択信号 SBS とメインセンス活性化信号 SOPM を受ける AND 回路 50a と、センスアンプ帯選択信号 SBS とメインセンス活性化信号 SONM を受ける AND 回路 50b と、セルフリフレッシュモード指示信号 SRF の反転信号 ZSRF と AND 回路 50b の出力信号を受けてセンスアンプ活性化信号 SON を生成する AND 回路 50c と、補のセルフリフレッシュモード指示信号 ZSRF と AND 回路 50a の出力信号とを受けてセンスアンプ活性化信号 ZSOP を発生する NAND 回路 50d と、セルフリフレッシュモード指示信号 SRF と AND 回路 50a の出力信号を受取る AND 回路 50e と、セルフリフレッシュモード指示信号 SRF と AND 回路 50b の出力信号を受取る AND 回路 50f と、AND 回路 50e の出力信号の活性化時セットされかつリフレッシュ要求信号 FAY の発行にตอบสนองしてリセットされるセット/リセットフリップフロップ 50g と、AND 回路 50f の出力信号の活性化にตอบสนองしてセットされかつリフレッシュ要求信号 FAY の発行にตอบสนองしてリセットされるセット/リセットフリップフロップ 50h と、セット/リセットフリップフロップ 50g の出力 ZQ からの出力信号の立上がり にตอบสนองしてワンショットのパルス信号を発生するワンショットパルス発生回路 50i と、ワンショットパルス発生回路 50i の出力信号を第 1 の入力に受ける AND 回路 50j と、アレイ活性化信号 RAS とラッチブロック選択信号 LBS とを受取る AND 回路 50m と、ラッチブロック選択信号 LBS とセルフリフレッシュモード指示信号 SRF を受ける AN

D回路50pとAND回路50mの出力信号とセルフリフレッシュモード指示信号SRFを受けるNOR回路50gと、AND回路50mおよび50pの出力信号を受けるNOR回路50nと、NOR回路50nの出力信号とAND回路50jの出力信号とを受けてビット線イコライズ指示信号BLEQを発生するOR回路50kを含む。NOR回路50gからビット線プリチャージ指示信号BLPRが発生される。AND回路50mの出力信号は、また、AND回路50jの第2の入力へも与えられる。

【0233】センスアンプ帯選択信号SBSは、対応のセンスアンプ帯を共有するメモリブロックを特定する2つのブロック選択信号の論理和により生成される。ラッチブロック選択信号LBSはブロック選択信号BS(=BS<7:0>)に従って発生され、対応のメモリアレイを特定する。

【0234】通常動作モード時およびツインセル書込モード時においては、セルフリフレッシュモード指示信号SRFはLレベルであり、補のセルフリフレッシュモード指示信号ZSRFがHレベルとなる。したがってこの場合には、AND回路50cおよびNAND回路50bからのセンスアンプ活性化信号SONおよびZSOPに従ってセンスアンプが駆動される。AND回路50eおよび50fの出力信号はLレベルであり、センスアンプ活性化信号ZSOP__SおよびSON__Sは、非活性状態にあり、それぞれHレベルおよびLレベルを維持する。

【0235】また、セルフリフレッシュモード指示信号SRFがLレベルであり、NOR回路50nがインバータとして動作し、AND回路50mの出力信号を反転する。したがって、アレイ活性化信号RASが活性化されると、ラッチブロック選択信号LBSが指定する選択メモリアレイにおいてビット線プリチャージ指示信号BLPRがLレベルとなる。また、AND回路50jの出力信号はLレベルであり(ワンショットパルス発生回路50iはパルスを発生しない)。AND回路50pの出力信号はLレベルであり、OR回路50kがバッファ回路として動作し、AND回路50mの出力信号に従ってビット線イコライズ指示信号BLEQがLレベルの非活性状態となる。したがって、選択メモリアレイにおいてビット線イコライズ回路が非活性化され、ビット線のプリチャージ/イコライズ動作が完了する。

【0236】セルフリフレッシュモード時においては、セルフリフレッシュモード指示信号SRFがHレベルの活性状態となり、AND回路50cからのセンスアンプ活性化信号SONはLレベル、NAND回路50dからのセンスアンプ活性化信号ZSOPはHレベルとなる。一方、AND回路50eおよび50fは、メインセンス活性化信号SOPMおよびSONMおよびセンスアンプ帯選択信号SBSに従ってそれぞれHレベルの信号を生

成する。AND回路50eおよび50fの出力信号の活性化にตอบสนองしてセット/リセットフリップフロップ50gおよび50hがセットされ、このセット/リセットフリップフロップの出力ZQからのセンスアンプ活性化信号ZSOP__SがLレベルとなり、またセット/リセットフリップフロップ50hの出力Qからのセンスアンプ活性化信号SON__SがHレベルとなる。

【0237】また、セルフリフレッシュモード指示信号SRFがHレベルであり、NOR回路50gの出力信号がLレベルとなり、ビット線プリチャージ指示信号BLPRがLレベルに固定される。ビット線プリチャージ指示信号BLPRは、ブロック選択信号BSの論理レベルにかかわらず、Lレベルの非活性状態に設定され、メモリアレイにおいてすべてのメモリアレイのビット線プリチャージ指示信号BLPRが非活性状態となる。

【0238】セット/リセットフリップフロップ50gおよび50hは、メインセンス活性化信号SOPMおよびSONがメインセンスアンプ活性化信号SOに従って非活性状態となっても(図28参照)、セット状態を維持し、したがってセンスアンプ活性化信号ZSOP__SおよびSON__Sは、ワード線活性回路44およびセンス活性回路45が非活性状態となった後も、活性状態を維持する。

【0239】次に、リフレッシュ要求信号FAYが活性化されると、セット/リセットフリップフロップ50gおよび50hがリセットされ、センスアンプ活性化信号ZSOP__SおよびSON__Sが非活性化される。センスアンプ活性化信号ZSOP__Sの非活性化(立上がり)にตอบสนองしてワンショットパルス発生回路50iがワンショットのパルス信号を発生する。ラッチブロック選択信号LBSは、前のリフレッシュ動作により指定されたブロック選択信号の状態を維持している。リフレッシュ要求信号FAYが与えられると、リフレッシュ活性化信号REF__RASにตอบสนองしてアレイ活性化信号RASが活性化される。したがって、先のサイクルの選択メモリアレイに対するAND回路50mの出力信号がHレベルとなり、AND回路50jがワンショットパルス発生回路50iからのワンショットパルスを通過させてOR回路50kへ与える。応じて、ビット線イコライズ指示信号BLEQがこのワンショットパルス発生回路50iからのワンショットパルスの期間活性状態となり、ビット線BLおよびZBLのイコライズが行なわれる。

【0240】このワンショットパルス発生回路50iが発生するパルス信号のパルス幅 τ は、可変遅延回路42のセルフリフレッシュモード時の立上がり遅延時間とほぼ同じである。したがってこのビット線イコライズ指示信号BLEQが非活性状態となった後、アドレス活性回路43からのアドレスイネーブル信号RADEが活性化され、メモリアレイ選択および行選択が実行される。これにより、セルフリフレッシュモード時、センス動作完

了後次にセルフリフレッシュ動作が行なわれるまで、各ビット線対の電位をセンスアンプにより弱くラッチし、次のリフレッシュ実行前にビット線対をイコライズしてビット線をほぼ中間電圧にプリチャージした後、次の行選択動作を開始することができる。この可変遅延回路42の遅延時間 τ だけセルフリフレッシュモード時アレイ活性化期間（リフレッシュ活性化信号REF_RASの活性化期間）が短くなるのを防止するために、リフレッシュコントロール回路10の遅延回路33の遅延時間がセルフリフレッシュモード時、時間 τ だけ長くされる。

【0241】図33は、図32に示すラッチブロック選択信号LBSを発生する部分の構成の一例を示す図である。図33において、ラッチブロック選択信号発生回路は、センスアンプ活性化信号SON_Sとビット線イコライズ指示信号BLEQを受けるOR回路60aと、OR回路60aの出力信号とセルフリフレッシュモード指示信号SRFを受けるAND回路60bと、AND回路60bの出力信号がLレベルのとき導通しブロックデコードからのブロック選択信号BS（=BS<7:0>）をブロック選択線60g上に伝達するトランスファーク

ート60cと、ブロック選択線60gに結合され、AND回路60bの出力信号がHレベルのとき導通するトランスファーク

ート60dと、ブロック選択線60g上の信号を反転するインバータ60fと、インバータ60fの出力信号を反転してトランスファーク

10

20

30

40

50

なる。次いで、センスアンプ活性化信号SON_Sが活性化される。次いで所定時間経過後、リフレッシュ活性化信号REF_ACTが非活性化状態となり、ブロック選択信号BSが非活性化され、またセンスアンプ活性化信号SON_Sも非活性化される。また、ビット線イコライズ指示信号BLEQが、活性化状態となる。トランスファーク

ート60cが導通状態にあるため、ラッチブロック選択信号LBSも、この選択信号BSの非活性化に応じて非活性化状態へ駆動される。したがって、ツインセル書込モード時においては、セルフリフレッシュ要求信号FAYに従って、所定期間行選択動作がリフレッシュアドレスに従って実行される。

【0244】セルフリフレッシュモードに入ると、セルフリフレッシュモード指示信号SRFが活性化状態へ駆動される。セルフリフレッシュ要求信号FAYが発行されると、まず、リフレッシュ活性化信号REF_ACTが活性化され、応じてアレイ活性化信号RASが活性化される。このアレイ活性化信号RASが活性化され、図32に示す可変遅延回路42の出力信号が活性化されると、アドレス活性回路43からのアドレスイネーブル信号RADEに従ってデコード動作が行なわれ、選択メモリアレイに対するブロック選択信号BSが選択状態へ駆動される。このブロック選択信号BSが活性化されると、図32のAND回路50pの出力信号がHレベルとなり、応じてNOR回路50nの出力信号がLレベルとなり、ビット線イコライズ指示信号BLEQがLレベルとなる。次いでワード線選択動作が行なわれ、センスアンプ活性化信号SON_Sが活性化されてセンス動作が行なわれる。このセンスアンプ活性化信号SON_Sが活性化されると、トランスファーク

ート60cが非導通、トランスファーク

立上がり遅延時間とほぼ等しい。したがってこのビット線イコライズ時にはまだデコード動作は行なわれていない。ビット線イコライズ指示信号BLEQが非活性化状態となると、AND回路60bの出力信号がLレベルとなり、トランスファークロップ60cが導通し、ラッチブロック選択信号LBSがブロック選択信号BSと結合される。したがって、このビット線イコライズ指示信号BLEQの非活性化後に行なわれるブロック選択動作により、選択メモリアレイに対するブロック選択信号BSが再び活性化状態へ駆動され、選択メモリアレイにおいてセン
10 スアンプ活性化信号SON_Sが活性化される。このとき、対応のブロック選択信号BSが選択状態にあればビット線イコライズ指示信号BLEQがこのブロック選択信号BSに従って非活性化状態となる。

【0247】一方、図34において破線で示すように、対応のメモリアレイが非選択状態のときには、ラッチブロック選択信号LBSがLレベルであり、応じてNOR回路50n（図32参照）の出力信号がHレベルとなり、ビット線イコライズ指示信号BLEQがHレベルを維持する。したがって、非選択メモリアレイにおいては、ビット線イコライズ回路が導通状態となり、各ビット線をイコライズする。選択メモリアレイにおいてのみ、セン
20 スアンプによる電位のラッチおよび所定期間のビット線電位のイコライズが実行される。

【0248】図35は、ビット線分離制御回路の構成を概略的に示す図である。図35においては、ビット線分離指示信号BLILおよびBLIRを発生する部分の構成を示す。図35においてビット線分離制御回路は、セン
30 スアンプ活性化信号SON_Sの立下がりを所定時間遅延する立下がり遅延回路62dと、立下がり遅延回路62dの出力信号とアレイ活性化信号RASとを受けるOR回路62cと、OR回路62cの出力信号とラッチブロック選択信号LBSRとを受けてレベル変換回路62eを介してビット線分離指示信号BLILを生成するNAND回路62aと、OR回路62cの出力信号とラ
ッチブロック選択信号LBSLとを受けてレベル変換回路62fを介してビット線分離指示信号BLIRを生成するNAND回路62bを含む。レベル変換回路62eおよび62fは、周辺電源電圧Vccpレベルの信号を昇圧電源Vppレベルの信号に変換する。

【0249】ラッチブロック選択信号LBSRは、メモリアレイMARを指定し、ラッチブロック選択信号LBSLは、メモリアレイMALを指定する。次に、この図35に示すビット線分離制御回路の動作を、図36に示す信号波形図を参照して説明する。

【0250】スリープモードのツインセル書込モード時においては、セルフリフレッシュ要求信号FAYが活性化されると、アレイ活性化信号RASが活性化される。このアレイ活性化信号RASの活性化に
50 応答してデコード動作が行なわれ、ラッチブロック選択信号LBSLが

ブロック選択信号BSLに応じて活性化状態へ駆動される。他方のブロック選択信号BSRは非選択状態のLレベルを維持する。この状態においては、ビット線分離指示信号BLILはHレベルを維持し、一方ビット線分離指示信号BLIRが、Lレベルとなり、メモリアレイMARがセン
スアンプ帯から切り離される。

【0251】次いで、センサアンプ活性化信号SONが活性化され、センサ動作が行なわれ、次いでアレイ活性化信号RASが非活性化され、センサアンプ活性化信号SONも非活性化される。このアレイ活性化信号RASの非活性化に
10 応答してラッチブロック選択信号LBSLも、ツインセル書込モード時であり、応じて非活性化状態となり、ビット線分離指示信号BLIRがHレベルとなる。センサアンプ活性化信号SON_Sは非活性化状態を維持する。

【0252】セルフリフレッシュモードに入ると、セルフリフレッシュモード指示信号SRFが活性化状態へ駆動される。この状態において、リフレッシュ要求信号FAYが発行されると、応じてアレイ活性化信号RASが活
20 性化される。

【0253】このセルフリフレッシュモード時においては、図32に示す可変遅延回路により、ブロックデコード動作が所定時間(τ)だけ遅れるため、アレイ活性化信号RASの活性化より遅れてデコード動作が行なわれ、ラッチブロック選択信号LBSLが選択状態へ駆動され、応じてビット線分離指示信号BLIRがLレベルとなり、メモリアレイMARがセン
30 スアンプ帯が切り離される。ビット線分離指示信号BLILはHレベルを維持し、メモリアレイMALはセンサアンプ帯に結合される。センサアンプ活性化信号SON_Sの活性化に
応答してセンサ動作が行なわれて、メモリアレイMALの各ビット線の電位が差動増幅される。センサアンプ活性化信号SON_Sの活性化の後所定期間経過すると、アレイ活性化信号RASが非活性化される。

【0254】セルフリフレッシュモード時においては、センサアンプ活性化信号SON_Sは活性化状態を維持し、またラッチブロック選択信号LBSLも、選択状態を維持し、したがって、ビット線分離指示信号BLIRもLレベルを維持する。ビット線イコライズ指示信号BLEQLが非活性化状態を維持しており、メモリアレイMALの各ビット線電位は、センサアンプによりラッチ
40 されている。メモリアレイMARにおいては、ビット線イコライズ指示信号BLEQRが活性化状態にあり、各ビット線対はイコライズ状態にある。

【0255】次いで、リフレッシュ要求信号FAYが与えられると、センサアンプ活性化信号SON_Sが非活性化状態となり、応じてビット線イコライズ指示信号BLEQLが所定期間活性化状態となり、センサアンプにより増幅されてラッチされていたビット線が短絡され、ビット線がほぼ中間電位に駆動される。センサアンプ活性化

信号SON_—Sが非活性化されても、立下がり遅延回路62dの出力信号はHレベルであり、応じてOR回路62cの出力信号もHレベルでビット線イコライズ期間の間、したがって、ビット線分離指示信号BLIRは、Lレベルを維持しており、このメモリアレイMALのビット線イコライズ動作に何らメモリアレイMARのビット線電位は悪影響を及ぼさない。

【0256】ビット線イコライズ指示信号BLEQLが非活性状態となると、ラッチブロック選択信号LSLがラッチ状態から解放され、続いて行なわれるデコード動作に従って生成される新たなブロック選択信号に従って、ラッチブロック選択信号LSLの状態が決定される。再びラッチブロック選択信号LSLが選択状態へ駆動されるとき、応じてまた、ビット線分離指示信号BLIRがLレベルへ駆動される。ビット線分離指示信号BLILはHレベルを維持する。

【0257】選択メモリアレイの各ビット線対の電位をセンスアンプによりラッチし、その後、イコライズ回路により、ビット線対電位のイコライズを行なうとき、選択メモリアレイにおいてのみ、ビット線イコライズ動作を行なうことができる。次に選択されるメモリアレイが、先にアクセスされたメモリアレイと異なる場合においても正確に、各センスアンプによりラッチされていた電位に従って、ビット線電位をイコライズすることができる。このとき、たとえば、ラッチブロック選択信号LSL为非選択状態にあれば(図36において破線で示す)、この場合には、ビット線分離指示信号BLIRが図36に破線で示すようにHレベルとなり、メモリアレイMARが、センスアンプ帯に結合される。

【0258】なお、セルフリフレッシュ要求信号FAYを用いて、センスアンプ活性化信号のリセットを行ない、このリセットをビット線イコライズ動作のトリガとしている。しかしながら、セルフリフレッシュタイマから、セルフリフレッシュ要求信号FAYよりも速いタイミングでリセット用のタイミング信号を生成し、次いで、ビット線電位のイコライズ完了後、セルフリフレッシュ要求信号FAYが発生されるように構成されてもよい。

【0259】以上のように、この発明の実施の形態3に従えば、セルフリフレッシュモード時、ビット線プリチャージ電圧発生回路の動作を停止し、選択メモリアレイにおいてセンスアンプ回路により各ビット線対の電位をラッチし、次のセルフリフレッシュ動作実行前に一旦ビット線対を短絡して各ビット線電位をほぼ中間電位にプリチャージした後に次のリフレッシュ動作を実行している。したがって、データ保持モード時の消費電流をさらに低減することができる。

【0260】〔実施の形態4〕図37は、この発明の実施の形態4に従う昇圧電圧発生回路の構成を概略的に示す図である。図37において、昇圧電圧発生回路70

は、セルフリフレッシュモード指示信号SRFの非活性化時動作し、たとえばチャージポンプ動作を行なって所定の電圧レベルの昇圧電圧VPPを発生するVPP発生回路70aと、セルフリフレッシュモード指示信号SRFの非活性化時導通し、VPP発生回路70aが発生する昇圧電圧VPPを昇圧電源線70dに伝達するトランスファークラップ70bと、補のセルフリフレッシュモード指示信号ZSRFの活性化時導通し、昇圧電圧線70dを電源ノード71に結合するトランスファークラップ70cを含む。トランスファークラップ70bおよび70cは、たとえばPチャネルMOSトランジスタで構成される。

【0261】電源ノード71へは外部電源電圧V_eが与えられる。電源電圧V_eは、アレイ電源電圧VCCSとメモリトランジスタのしきい値電圧V_{th}との和とほぼ同程度の大きさであり、たとえば2.5から3Vである。一方、VPP発生回路70aが発生する昇圧電圧は、このアレイ電源電圧VCCSとメモリトランジスタのしきい値電圧の和よりも十分高い電圧であり、たとえば3.5Vから4Vである。

【0262】スリープモード時においてツインセル書込モードが完了すると、セルフリフレッシュモード指示信号SRFが活性化され、VPP発生回路70aが高電圧発生動作を停止する。このとき、また、トランスファークラップ70bが非導通状態となり、VPP発生回路70aの出力ノードが昇圧電圧線70dから切り離される。また、補のセルフリフレッシュモード指示信号ZSRFの活性化により、トランスファークラップ70cが導通し、昇圧電源線70dが電源ノード71に結合される。

【0263】したがって、このセルフリフレッシュモード時においては、昇圧電圧VPPは、外部電源電圧V_eに等しい電圧レベルとなり、外部電源電圧V_eがサブワード線およびメインワード線に伝達される。メモリセルにおいては、アクセストランジスタのしきい値電圧の影響が生じる。しかしながら、Hレベルデータの電圧レベルが低下しても、Lレベルデータが対をなすビット線上に読出されており、十分な大きさのビット線間電圧を生成することができ、確実に、メモリセルデータのリフレッシュを実行することができる。したがって、このセルフリフレッシュモード時においてVPP発生回路70aの昇圧電圧発生動作を停止させることにより、スリープモード時の消費電流をさらに低減することができる。

【0264】なお、VPP発生回路70aは、たとえばリングオシレータと、このリングオシレータからの発振クロック信号に従ってチャージポンプ動作を行なうチャージポンプとで構成され、セルフリフレッシュモード指示信号SRFにより、リングオシレータの発振動作を停止させる。この構成としては、以下に述べるVBB発生回路と同様の構成を利用することができる。

【0265】以上のように、この発明の実施の形態4に

従えば、セルフリフレッシュモード時には、昇圧電圧発生動作を停止し、昇圧電源線を外部電源ノードに結合しており、セルフリフレッシュモード時の消費電流をさらに低減することができる。

【0266】〔実施の形態5〕図38は、この発明の実施の形態5に従う基板バイアス電圧VBBを発生する基板電圧発生回路の構成を概略的に示す図である。図38において、基板電圧発生回路は、通常動作モード時比較的大きな電荷供給能力で基板バイアス電圧VBを発生するノーマルVBB発生回路75aと、スリープモード時

10 活性化され、比較的小さな電荷供給能力で基板バイアス電圧VBBを発生するスリープモードVBB発生回路75bを含む。

【0267】このノーマルVBB発生回路75aは、出力ノード75cのバイアス電圧VBBの電圧レベルを検出するVBBディテクタ75aaと、VBBディテクタ75aaからのクロックイネーブル信号ENに従って選択的に活性化され、所定の周期で発振動作を行なってポンプ駆動クロック信号PCLK1を生成するVBB制御回路／リングオシレータ75abと、ポンプ駆動クロック信号PCLK1に従って、キャパシタを利用するチャージポンプ動作を行なって出力ノード75cに電荷を供給して基板バイアス電圧VBBを生成するVBBチャージポンプ回路75acを含む。これらのVBBディテクタ75aa、VBB制御回路／リードオンリメモリ75abおよびVBBチャージポンプ回路75acへは、一方動作電源電圧として外部電源電圧Veが与えられる。この外部電源電圧Veは、図37の構成と同様、周辺回路へ与えられる周辺電源電圧よりも高い電圧であり、効率的に、基板バイアス電圧を生成する。

【0268】VBBディテクタ75aaは、スリープモード指示信号SLEEP_MODEの非活性化時動作し、出力ノード75cの基板バイアス電圧VBBの電圧レベルが所定の電圧レベルを超えるか否かを検出する。このVBBディテクタ75aaは、たとえば検出用MOSトランジスタのゲートソース間電圧が、この検出用MOSトランジスタのしきい値電圧を超えると、検出用MOSトランジスタが導通することを利用する構成を含む。VBBディテクタ75aaは、スリープモード指示信号SLEEP_MODEが活性化されると、非活性化され、レベル検出動作を停止する。スリープモード時の消費電流を低減する。

【0269】VBB制御回路／リングオシレータ75abは、イネーブル時、VBBディテクタ75aaからクロックイネーブル信号ENが与えられると、リングオシレータを活性化し、このリングオシレータの有する周期で発振動作を行なわせてポンプ駆動クロック信号PCLK1を生成する。このVBB制御回路／リングオシレータ75abは、VBBディテクタ75aaからのクロックイネーブル信号ENが非活性状態のときには、リング

オシレータの発振動作を停止させる。

【0270】VBBチャージポンプ回路75acは、大きな電荷供給能力を有し（チャージポンプキャパシタの容量値が大きい）、ポンプ駆動クロック信号PCLK1に従ってチャージポンプ動作を実行する。したがって、このノーマルVBB発生回路75aは、VBBディテクタ75aaにより設定された電圧レベルに基板バイアス電圧VBBの電圧レベルを設定する。

10 【0271】スリープモードVBB発生回路75bは、スリープモード指示信号SLEEP_MODEの活性化時、セルフリフレッシュ要求信号FAYが与えられるとポンプ駆動クロック信号PCLK2を生成するスリープモードVBB制御回路75baと、ポンプ駆動クロック信号PCLK2に従って比較的小さな電荷供給力でチャージポンプ動作を行なって出力ノード75cに電荷を供給するスリープモードVBBチャージ小ポンプ回路75bbを含む。これらのスリープモードVBB制御回路75baおよびスリープモードBB小ポンプ回路75bbも、外部電源電圧Veを一方動作電源電圧として使用する。スリープモードVBB制御回路75baは、またチューニング信号TUNE<3:0>により、その出力クロック信号のパルス幅およびクロック周期が調整される。

【0272】スリープモード時には、データの書込／読出を行なうためのデータバス系回路、列選択を行なうコラム系回路およびデータ入出力制御回路は動作を停止しており、行系制御回路、ワードドライバ、センスアンプおよびリフレッシュコントロール回路がリフレッシュ間隔ごとに動作するだけであり、回路動作による基板電流は極めて少ない状態になっている。基板電位を正方向に上昇させる主要要因は、メモリアレイにおけるストレージノードおよびビット線コンタクトそれぞれにおける接合リーク電流ぐらいである。したがって、基板電圧発生回路から基板に対し一度に大きな電荷を供給して、負バイアス電圧VBBの電圧レベルを必要以上に低下させると、一旦低下した基板バイアス電圧がなかなか正方向に上昇しないため、リフレッシュ間隔ごとに間欠的に、スリープモードVBBチャージ小ポンプ回路75bbを駆動するだけで、十分に基板電位を保持することができる。

40 【0273】この基板電圧発生回路は、スリープモードVBB制御回路75baおよびVBBチャネル小ポンプ回路75bbがリフレッシュ間隔で動くだけであり、他の回路は動作を停止しており、スリープモード時の消費電流をさらに低減することができる。

【0274】図39は、図38に示すVBB制御回路／リングオシレータ75abの構成の一例を示す図である。図39において、VBB制御回路／リングオシレータ75abは、VBBディテクタ75aaからのクロックイネーブル信号ENとスリープモード指示信号SLE

EP_MODEの反転信号を受けるAND回路76aと、AND回路76aの出力信号を第1の入力に受けるNAND回路76bと、NAND回路76bの出力信号を受けるインバータ76cと、インバータ76cの出力信号を反転するインバータ76dと、インバータ76dの出力信号を反転してポンプ駆動クロック信号PCLK1を生成するインバータ76eを含む。インバータ76dの出力信号は、また、NAND回路76bの第2の入力に与えられる。

【0275】この図39に示すVBB制御回路／リングオシレータ75abの構成において、AND回路76aおよびNAND回路76bが、VBB制御回路に相当し、また、NAND回路76b-76dが、リングオシレータに相当する。

【0276】この図39に示すVBB制御回路／リングオシレータ75abにおいて、スリープモード指示信号SLEEP_MODEがHレベルのときには、AND回路76aの出力信号がLレベルとなり、NAND回路76bの出力信号がHレベルに固定される。したがって、ポンプクロック信号PCLK1が、接地電圧レベルに固定され、VBBチャージポンプ回路75acはチャージポンプ動作を停止する。

【0277】通常動作モード時においては、スリープモード指示信号SLEEP_MODEは、Lレベルであり、AND回路76aは、インバータを介してHレベルの信号を第1の入力に受けるため、その第2の入力に与えられるクロックイネーブル信号ENがHレベルであれば、Hレベルの信号を出力する。AND回路76aの出力信号がHレベルのときには、NAND回路76bがインバータとして動作し、NAND回路76b、インバータ76cおよび76dにより、リングオシレータが形成され、これらのゲート遅延により規定される周期で発振動作を実行し、ポンプ駆動信号PCLK1が発生される。クロックイネーブル信号ENがLレベルとなると、AND回路76aの出力信号がLレベルとなり、ポンプ駆動クロック信号PCLK1が、Lレベルに固定され、チャージポンプ動作が停止される。

【0278】したがって、このVBBディテクタ75aが検出する電圧レベルに、通常動作モード時、基板バイアス電圧VBBの電圧レベルが設定される。

【0279】VBBチャージポンプ回路75acは、キャパシタを利用するチャージポンプ動作を行なう回路であればよい。

【0280】図40は、図38に示すスリープモードVBB制御回路75baの構成の一例を示す図である。図40において、スリープモードVBB制御回路75baは、リフレッシュ要求信号FAYの活性化にตอบสนองしてワンショットのパルス信号PMP_CLKMを発生するパルス幅制御ワンショットパルス発生回路77aと、パルス信号PMP_CLKMを遅延する遅延制御回路77b

と、遅延制御回路77bの出力パルス信号PMP_CLKDとパルス幅制御ワンショットパルス発生回路77aの出力パルス信号PMP_CLKMを受けてポンプ駆動クロック信号PCLK2を生成するOR回路77cを含む。

【0281】チューニング信号TUNE<3:0>により、このワンショットパルス信号PMP_CLKMのパルス幅を調整することができる。また遅延制御回路77bは、チューニング信号ATUNE<3:0>により、その遅延時間が調整可能である。ポンプ駆動クロック信号PCLK2は、リフレッシュ要求信号FAYが活性化されると、パルス幅および周波数が制御されて2回発生される。

【0282】チャージポンプ量は、クロック信号PCLK2のHレベル期間およびその周波数により決定される。したがって、チューニング信号TUNE<3:0>およびATUNE<3:0>を調整することにより、このポンプ駆動クロック信号PCLK2のパルス幅および周波数を調整することができ、応じて供給電荷量を調整することができる。

【0283】図41(A)は、図40に示すパルス幅制御ワンショットパルス発生回路77aの構成の一例を示す図である。図41(A)において、パルス幅制御ワンショットパルス発生回路77aは、リフレッシュ要求信号FAYを受けるインバータ78aと、インバータ78aの出力信号がLレベルのときセットされかつリセット信号RSTがLレベルのときにリセットされるセット／リセットフリップフロップ78bと、セット／リセットフリップフロップ78bの出力信号をバッファ処理してパルス信号PMP_CLKMを生成するバッファ回路78cと、バッファ回路78cの出力信号を受けて反転パルス信号PMを生成するインバータ78dと、チューニング信号TUNE<0>-TUNE<3>それぞれに対応して設けられ、対応のチューニング信号が活性状態のとき導通するスイッチング回路SW0-SW3と、電源ノードVCCと対応のスイッチング回路の出力信号とを受ける遅延素子DL0-DL3を含む。これらの遅延素子DL0-DL3は、各々、遅延時間 τ を有し、かつその出力信号を、次段の遅延素子のスイッチング回路に結合される入力に伝達する。

【0284】最終段の遅延素子DL3の出力信号がリセット信号RSTとしてセット／リセットフリップフロップへ与えられる。

【0285】図41(B)は、図41(A)に示す遅延素子DL(DL0-DL3)の構成の一例を示す図である。図41(B)において、遅延回路DLは、電源電圧VCCと対応のスイッチング回路の出力信号または前段の遅延回路の出力信号を受けるNAND回路79aと、NAND回路79aの出力信号の立上がりおよび立下がりを遅延するための容量素子79bおよび79cと、N

AND回路79aの出力信号を反転するインバータ79dを含む。容量素子79bおよび79cにより、NAND回路79aの立上がりおよび立下がりをともに遅延して単位遅延時間 τ を実現する。インバータ79dの電流駆動力は、インバータ78dの駆動力よりも小さくされる。次に、この図41(A)および(B)に示すパルス幅制御ワンショットパルス発生回路77aの動作を、図41(C)に示す信号波形図を参照して説明する。

【0286】リフレッシュ要求信号FAYが与えられると、インバータ78aの出力信号がLレベルとなり、セット/リセットフリップフロップ78bがセットされ、クロックパルス信号PMP_CLKMがHレベルに立上がる。スイッチング回路SW0-SW3のいずれか1つがチューニング信号TUNE<0>-TUNE<3>のいずれかに従って導通状態となっている。NAND回路79aは、対応のスイッチング回路が非導通状態のときには、そのスイッチング回路に結合される入力がフローティング状態となり、その出力信号は不定状態となる。通常、フローティング状態のノードは接地電圧レベルにまで放電される。しかしながら、インバータ78dの駆動能力を、これらの遅延回路DL0-DL3の出力段のインバータ79dの駆動能力よりも大きくすることにより、遅延回路DL0-DL2の出力信号の状態にかかわらず、インバータ回路78dの出力パルス信号PMを遅延回路段を通して伝達することができる。

【0287】たとえば、スイッチング回路SW1が導通状態のとき、遅延回路DL0のインバータ79dの出力信号は不定状態またはHレベルである。しかしながら、スイッチング回路SW1が導通しており、このインバータ78dの出力信号に従って遅延回路DL1の入力が駆動される。したがって、スイッチング回路SW1が導通状態のときには、インバータ78dの出力パルス信号PMは、遅延回路DL1-DL3を順次伝達される。したがって、これらの遅延回路DL1-DL3の有する遅延時間 3τ の経過後、リセット信号RSTがLレベルとなり、セット/リセットフリップフロップ78bがリセットされる(インバータ78aの出力信号は、Hレベルに復帰している)。これにより、クロックパルス信号PMP_CLKMのパルス幅を、チューニング信号TUNE<3>により調整することができる。

【0288】図42は、図40に示す遅延制御回路73bの構成を概略的に示す図である。図42において、遅延制御回路77bは、縦続接続される遅延回路ADL0-ADL3と、遅延回路ADL0-ADL3各々に対応して設けられ、各々がパルス幅制御ワンショットパルス発生回路77aからのクロックパルス信号PMP_CLKMを通過させるスイッチ回路ASW0-ASW3を含む。遅延回路ADL0-ADL3の各々は、遅延時間 2τ を有し、パルス幅制御ワンショットパルス発生回路77aの遅延回路DL0-DL3それぞれが有する遅延

時間 τ の2倍の遅延時間を有する。

【0289】チューニング信号ATUNE<0>-ATUNE<3>は、図41(A)に示すチューニング信号TUNE<0>-TUNE<3>にそれぞれ対応する。この図42に示す遅延回路ADL0-ADL3は、それぞれ、与えられた信号を所定の遅延時間 2τ だけ遅延する。次に、この図42に示す遅延制御回路77bの動作を、図43に示す信号波形図を参照して説明する。

【0290】今、図43に示すように、ポンプクロックパルス信号PMP_CLKMが、パルス幅Tを有する場合を考える。この状態は、図41(A)に示す遅延回路DL0-DL3により、遅延時間Tが与えられたことを示す。この場合、パルス幅制御ワンショットパルス発生回路77aのチューニング信号に対応するチューニング信号を、遅延制御回路77bにおいても同様に活性状態に設定する。したがって、同じ数の遅延回路段を、クロックパルス信号PMP_CLKMがこの遅延回路ADL0-ADL3において通過する。遅延ポンプクロックパルス信号PMP_CLKDは、ポンプクロックパルス信号PMP_CLKMに対し、 $2T$ の遅延時間を有し、かつ時間Tのパルス幅を有する。したがって、図40に示すOR回路77cからのポンプ駆動クロック信号PCLK2は、これらのクロックパルス信号PMP_CLKMおよびPMP_CLKDを合成した信号となり、したがって、パルス幅T、かつ周期 $2T$ を有する。このポンプ駆動クロック信号PCLK2に従って、図38に示すスリープモードVBBチャージ小ポンプ回路75bbを駆動する。これにより、チャージポンプ動作時における供給電荷量を調整でき、セルフリフレッシュモード時において各リフレッシュ動作時に、必要最小限の電荷を供給して安定に基板バイアス電圧VBBを所定電圧レベルに保持することができる。

【0291】なお、リフレッシュ要求信号FAYが与えられたとき所定期間活性化されるようにリングオシレータを構成し、このリングオシレータの動作電流を、チューニング信号で調整するように構成してもよい(カレントミラー回路を利用し、ミラー電流を動作電流とする)。

【0292】以上のように、この発明の実施の形態5に従えば、メモリアレイが形成される基板領域に印加される基板バイアス電圧VBBを発生する回路を、スリープモード時間欠的に動作させるように構成しており、スリープモード時の消費電流を低減することができる。なお、このツインセル書込モード時においても、基板バイアス電圧発生回路は、小ポンプ回路のみが動作する。この場合、ツインセル書込モード時においても、単にロウ系回路が動作し、センスアンプが動作するだけであり、回路動作は、セルフリフレッシュモード時と同じであり、基板電流は少ないため、このツインセル書込モード時において、間欠的に、VBB小ポンプ回路を動作させ

ても、安定に基板バイアス電圧 V_{BB} を所定電圧レベルに保持することができる。

【0293】スリープモード指示信号 $SLEEP-MODE$ に代えてセルフリフレッシュモード指示信号が用いられてもよい。この場合、図 38 のノーマル V_{BB} 制御回路 75a が動作し、スリープモード V_{BB} 回路 75b が非活性化される。したがって、ツインセル書込モード時においては通常動作モード時と同様の基板バイアス電圧 V_{BB} の制御が行なわれ、安定に 1 ビット / 1 セルモードの記憶データをツインセルモード単位セルに再書込

【0294】〔実施の形態 6〕図 44 (A) は、この発明の実施の形態 6 に従う内部電源回路の構成を概略的に示す図である。図 44 (A) において、内部電源回路は、活性化時基準電圧 V_{ref} とアレイ電源線 86 上のアレイ電源電圧 (センス電源電圧) V_{CCS} とを比較する比較器 80 と、比較器 80 の出力信号に従って DRA M 用電源外部電源電圧 V_{de} を受けるメモリ電源ノード 87 からアレイ電源線 86 へ電流を供給する P チャネル MOS トランジスタで構成される電流ドライブトランジスタ 81 と、セルフリフレッシュモード指示信号 SRF を反転するインバータ 82 と、インバータ 82 の出力信号が H レベルのときに導通し、比較器 80 を活性化する電流源トランジスタ 83 と、インバータ 82 の出力信号が L レベルのときに導通し、比較器 80 の出力ノードをメモリ電源ノード 87 に電氣的に結合する P チャネル MOS トランジスタ 84 と、インバータ 82 の出力信号が L レベルのとき、ロジック電源電圧 V_{le} を受けるロジック電源ノード 88 とアレイ電源線 86 とを電氣的に結合する P チャネル MOS トランジスタ 85 を含む。

【0295】ロジック電源電圧 V_{le} は、アレイ電源電圧 V_{CCS} よりも低い電圧であり、たとえば 1.5 V から 2.0 V 程度である。アレイ電源電圧 V_{CCS} は、たとえば 2.5 から 3 V であり、センスアンプの電源電圧として利用され、メモリセルに書込まれる H レベルデータの電位を決定する。

【0296】この図 44 (A) に示す内部電源回路の構成の場合、セルフリフレッシュモード指示信号 SRF が L レベルのときには、インバータ 82 の出力信号が H レベルとなり、電流源トランジスタ 83 が導通し、比較器 80 が活性化され基準電圧 V_{ref} とアレイ電源電圧 V_{CCS} とを比較する。また、MOS トランジスタ 84、85 は非導通状態になる。アレイ電源電圧 V_{CCS} が基準電圧 V_{ref} よりも低い場合には比較器 80 の出力信号がローレベルとなり、電流ドライブトランジスタ 81 のコンダクタンスが大きくなり、メモリ電源ノード 87 からアレイ電源線 86 へ電流を供給し、アレイ電源電圧 V_{CCS} の電圧レベルを上昇させる。アレイ電源電圧 V_{CCS} が基準電圧 V_{ref} よりも高いときには比較器 80 の出力信号が H レベルとなり、電流ドライブトラン

ジスタ 81 はオフ状態となる。したがって、比較器 80 の活性化時には、基準電圧 V_{ref} の電圧レベルにアレイ電源電圧 V_{CCS} が設定される。

【0297】セルフリフレッシュモード時においては、セルフリフレッシュモード指示信号 SRF が H レベルとなり、電流源トランジスタ 83 が非導通状態となる。一方、P チャネル MOS トランジスタ 84 がオン状態となり、メモリ電源ノード 87 を、比較器 80 の出力ノードおよび電流ドライブトランジスタ 81 のゲートに結合する。これにより、電流ドライブトランジスタ 81 は確実にオフ状態となる。また、インバータ 82 からの L レベルの信号に応答して、P チャネル MOS トランジスタ 85 が導通し、ロジック電源ノード 88 が、アレイ電源線 86 に結合される。この状態においては、アレイ電源電圧 V_{CCS} は、ロジック電源電圧 V_{le} に等しくなる。

【0298】セルフリフレッシュモード時においては、ツインセルモードでセルフリフレッシュ動作が実行されている。このツインセルモード時においては、ビット線対に相補データが読出される。したがって、たとえば、このアレイ電源電圧 V_{CCS} をロジック電源電圧 V_{le} レベルにし、H レベル読出時の読出電圧が図 44 (B) に示すように δ であったとしても、L レベルデータ読出時の読出電圧 ΔV_2 は十分な大きさを有している。したがって、基準電圧 V_{ref} に従って決定されるアレイ電源電圧 V_{CCS} のときの読出データ ΔV_1 よりも H レベルデータ読出時の読出電圧 δ が小さい場合であっても、この L レベルデータ読出電圧 ΔV_2 により、正確にセンス動作を行なうことができる。

【0299】このセルフリフレッシュモード時において内部電源回路の動作を停止させることにより、内部電源回路の消費電流を削減することができ、セルフリフレッシュモード時の消費電流をさらに低減することができる。

【0300】なお、内部電源回路はツインセル書込モード時には活性化され、基準電圧 V_{ref} で決定されるアレイ電源電圧 V_{CCS} レベルの H レベルデータをメモリセルに書込む。これは、ツインセル書込モード時には、また 1 ビット / 1 セルモードのデータ読出が行なわれて、次いで、対をなすサブワード線が選択状態へ駆動され、1 ビット / 2 セルでのデータ記憶が行なわれるためである。

【0301】なお、この内部電源回路は、アレイ活性化信号 RAS の活性化時に活性化されるように構成されてもよい。アレイ活性化信号 RAS をゲートに受ける電流源トランジスタを、図 44 (A) に示すトランジスタ 83 と直列に接続する。この構成であっても、通常動作モード時におけるスタンバイサイクル時の消費電流を低減することができる。

【0302】図 45 (A) は、この発明の実施の形態 6 の内部電源回路の変更例を示す図である。この図 45

(A)においては、先の図44(A)に示す構成と同様、セルフリフレッシュモード指示信号SRFを反転するインバータ82と、インバータ82の出力信号に従って導通し比較器80を活性化する電流源トランジスタ83と、セルフリフレッシュモード指示信号SRFの活性化時導通し、比較器80の出力ノードを電源ノード87に結合するPチャネルMOSトランジスタ84と、比較器80の出力信号に従って電源ノード87から内部電源線(アレイ電源線)へ電流を供給する電流ドライフトランジスタを含む。比較器80へは、基準電圧Vref1が与えられる。

【0303】この図45(A)に示す内部電源回路は、さらに、セルフリフレッシュモード指示信号SRFの活性化時導通するNチャネルMOSトランジスタで構成される電流源トランジスタ83sと、電流源トランジスタ83sの導通時活性化され基準電圧Vref2とアレイ電源線86上のアレイ電源電圧VCCSとを比較する比較器80sと、比較器80sの出力信号に従ってメモリ電源ノード87からアレイ電源線86へ電流を供給するPチャネルMOSトランジスタで構成される電流ドライフトランジスタ85sと、セルフリフレッシュモード指示信号SRFの非活性化時導通し比較器80sの出力ノードをメモリ電源ノード87に接続するPチャネルMOSトランジスタ84sを含む。

【0304】この図45(A)に示す構成において基準電圧Vref2は、基準電圧Vref1よりも低くされる。混載DRAMにおいて、メモリ電源電圧Vdeのみが与えられる場合と、メモリ電源電圧Vdeとロジック電源電圧Vle両者が与えられる場合とがある。この図45(A)に示す構成は、メモリ電源電圧Vdeを使用する1電源構成の混載DRAMに対応する。ただし2電源系統であってもこの図45(A)に示す構成は利用できる。これはスリープモード時において、ロジック電源電圧Vleを遮断して接地電圧レベルに放電した構成も考えられるためである。

【0305】この図45(A)に示す構成においては、セルフリフレッシュモード指示信号SRFがLレベルの非活性化状態のときには、比較器80および電流ドライフトランジスタ81により、基準電圧Vref1の電圧レベルに、アレイ電源電圧VCCSが設定される。一方セルフリフレッシュモード指示信号SRFが活性化状態のときには、比較器80sおよび電流ドライフトランジスタ85sにより、アレイ電源電圧VCCSが基準電圧Vref2の電圧レベルに保持される。基準電圧Vref2は基準電圧Vref1よりも低いため、セルフリフレッシュモード時のアレイ電源電圧VCCSを、他の動作モード時に比べて低くすることができる。

【0306】すなわち、図45(B)に示すように、セルフリフレッシュモード以外の動作モード時において、メモリセルから対応のビット線に読出される読出電

圧 $\Delta V1$ は、基準電圧Vref1で決定される。一方セルフリフレッシュモード時におけるビット線読出電圧 δ は、基準電圧Vref2で決定される。この場合でも、先の図44に示す構成と同様、読出電圧 δ が小さくても、負の読出データ $\Delta V2$ の値が大きく、ツインセルモード時においては、センスアンプ回路が $(\delta + \Delta V2)$ の電圧を検出するため十分センス動作を正確に行なうことができる。

【0307】以上のように、この発明の実施の形態6に従えば、セルフリフレッシュモード時に、アレイ電源電圧を発生する回路の動作を停止し、アレイ電源線をロジック電源線に結合しており、内部電源回路の消費電流を削減することができる。

【0308】[実施の形態7] 図46は、この発明の実施の形態7に従う混載DRAMの要部の構成を概略的に示す図である。図46において、コマンド制御回路90は、スリープモードエントリコマンドSLP_ERYとスリープモードイグジットコマンドSLP_EXTが与えられる。このコマンド制御回路90からは、内部電圧発生回路の動作を制御するためのスリープモード指示信号SLEEP_MODE1が発生され、かつプリデコード回路5およびセルフリフレッシュタイマ9へ与えられるスリープモード指示信号SLEEP_MODE2が生成される。内部電圧発生回路は、スリープモード解除後、スリープモード指示信号SLEEP_MODE1の非活性化にตอบสนองして内部電圧発生動作を開始する。一方、プリデコード回路5およびセルフリフレッシュタイマ9は、スリープモードイグジットコマンドSLP_EXTが与えられて内部で安定に生成される内部電圧を利用して全メモリセルに対するリフレッシュ動作を完了した後に、通常動作モードに復帰する。

【0309】コマンド制御回路90は、スリープモードへの移行を指示するスリープモードエントリコマンドSLP_ERYにตอบสนองしてセットされかつスリープモード解除を指示するスリープモードイグジットコマンドSLP_EXTにตอบสนองしてリセットされてスリープモード指示信号SLEEP_MODE1を生成するセット/リセットフリップフロップ90aと、スリープモードエントリコマンドSLP_ERYにตอบสนองしてセットされてスリープモード指示信号SLEEP_MODE2を生成するセット/リセットフリップフロップ90bと、コマンドSLP_ERYおよびSLP_EXTを受けるOR回路90cとを含む。

【0310】リフレッシュカウンタは、リフレッシュ動作完了後そのカウント値が増分されるリフレッシュアドレスカウンタ95aと、リフレッシュアドレスカウンタ95aからのツインセル書込制御信号TWCとスリープモード指示信号SLEEP_MODE1を受けてツインセル書込モード指示信号TWC_WRITE_MODEを生成するAND回路95bを含む。リフレッシュアド

レスカウンタ 95 a は、先の図 15 に示す構成および図 18 に示す構成を含む。OR 回路 90 c の出力信号が図 18 の信号 SLEEP_MODE に代えて与えられ、また立上り遅延回路 2 i に代えて遅延回路が用いられる。リフレッシュアドレスがスリープモードエントリコマンドまたはスリープモードエグジットコマンド印加時の出発アドレスから始まって全行を一巡するまでツインセルモード指示信号 TWC を H レベルに設定する。

【0311】ツインセルモード指示信号 TWC が非活性状態となると、ワンショットパルス発生回路 92 により、ワンショットのパルスが生成され、セット/リセットフリップフロップ 90 b がリセットされる。次に、この図 46 に示す構成の動作を図 47 に示す信号波形図を参照して説明する。

【0312】スリープモードエントリコマンド SLEEP_ERY が与えられると、スリープモード指示信号 SLEEP_MODE 1 および SLEEP_MODE 2 が活性化されて図 18 のフリップフロップ 2 j の出力信号に対応するツインセルモード指示信号 TWC がまた活性化される。このツインセルモード指示信号 TWC の活性化に従って、プリデコード回路 5 が、ツインセル書込モードにおけるアドレス制御を行なって、1 ビット/1 セルモードで記憶されたデータを 1 ビット/2 セルモード（ツインセルモード）の単位セルに書込む。リフレッシュアドレスカウンタ 95 a のカウント値は、このスリープモードエントリコマンド SLEEP_ERY が与えられたときのカウント値を出発カウント値として維持しており、このリフレッシュアドレスカウンタ 95 a のカウント値が出発カウント値から一巡すると、ツインセルモード指示信号 TWC が L レベルとなり、ツインセル書込モード指示信号 TWC_WRITE_MODE が L レベルとなり、セルフリフレッシュモードが実行される。このセルフリフレッシュモード時には、プリデコード回路 5 がアドレスビットの縮退を行ない、またセルフリフレッシュタイマ 9 が所定の間隔で、リフレッシュ要求信号を発行する。

【0313】セルフリフレッシュモード時には、セルフリフレッシュモード指示信号 SRF から従って、内部電圧発生回路（VCCS、VPP、VBL、および VBB）の内部電圧は発生動作が停止されている。

【0314】スリープモードエグジットコマンド SLEEP_EXT が発行されると、セット/リセットフリップフロップ 90 a がリセットされ、スリープモード指示信号 SLEEP_MODE 1 が非活性状態となり、内部電圧発生回路が再び活性化され、内部電圧を発生する。一方、セット/リセットフリップフロップ 90 b からのリフレッシュモード指示信号 SLEEP_MODE 2 は、活性状態を維持しており、リフレッシュ動作を実行する。このスリープモードエグジットコマンド SLEEP_EXT がリフレッシュアドレスカウンタ 95 a へ与えら

れ、このリフレッシュアドレスカウンタ 95 a のカウント値がラッチされ、また再びリフレッシュアドレスカウンタ 95 a からのツインセルモード指示信号 TWC が H レベルの活性状態となる。しかしながら、スリープモード指示信号 SLEEP_MODE 1 は L レベルの非活性状態となっており、ツインセル書込モード指示信号 TWC_WRITE_MODE は L レベルを維持する。したがって、スリープモードエグジットコマンド SLEEP_EXT が発行されると、再び全メモリセルのリフレッシュ動作を安定な内部電圧を使用して行ない、H レベルデータを記憶するメモリセルのストレージノードの電圧レベルを十分高い電圧レベルに設定する。この全メモリセルのリフレッシュが完了すると、アドレス一致検出によりツインセルモード指示信号 TWC が非活性状態となり、ワンショットパルス発生回路 92 からワンショットのパルスが発生されてセット/リセットフリップフロップ 90 b がリセットされ、スリープモード指示信号 SLEEP_MODE 2 が L レベルとなり、スリープモードが終了する。

【0315】なお、このツインセル書込モード時およびツインセルリフレッシュモード時において、セルフリフレッシュタイマ 9 のリフレッシュ要求信号発生間隔は、セルフリフレッシュモード時におけるリフレッシュ要求信号発生間隔よりも短くされてもよい。

【0316】なお、このスリープモードエグジットコマンド SLEEP_EXT が発行されたとき、リフレッシュアドレスカウンタ 95 a のカウント値が初期値にリセットされてもよい。この場合、あるメモリセルのリフレッシュ間隔が他のメモリセルのリフレッシュ間隔よりも長くなることが考えられる。しかしながら、1 ビット/2 セルモードにおいて、リフレッシュサイクルは十分長いいため、このスリープモード開始時に、一旦リフレッシュアドレスカウンタ 95 a を初期値にリセットして再びリフレッシュ動作を実行しても十分センス動作を安定かつ正確に行なうことができ、正確なリフレッシュ動作が保証される。

【0317】このツインセルモード指示信号 TWC が L レベルの非活性状態となった後、メモリセルの H レベルデータを記憶するストレージノードの電圧レベルは、アレイ電源電圧 VCCS レベルであり、次いで、1 ビット/1 セルモードで、通常のデータアクセスが実行される。このときまた、外部のロジックにより、データ保持領域に退避されていたメモリセルデータが元の記憶位置に再分配されてもよい。単に外部ロジック（メモリコントローラ）が、1 ビット/1 セルモード時におけるアドレスと、1 ビット/2 セルモード時におけるアドレスの対応関係を示すテーブルを参照して、メモリセルデータの再分配を行なえばよい。

【0318】以上のように、この発明の実施の形態 7 に従えば、スリープモード解除時、内部電圧発生回路を動

作させて全メモリセルのデータのリフレッシュを実行した後に通常動作モードに復帰している。したがって、メモリセルのHレベルデータを記憶するストレージノード電位を十分高くした状態で、1ビット/1セルモードに移行することができ、データの破壊は防止される。

【0319】〔実施の形態8〕図48は、この発明の実施の形態8に従う半導体記憶装置の要部の構成を示す図である。この図48においては、図26に示す構成と同様、列方向に隣接する2つのメモリアレイに共有されるセンスアンプ帯の構成を示す。

【0320】この図48においては、共通ビット線CBLおよびZCBLに対し、ビット線プリチャージ指示信号BLPRの活性化時活性化され、共通ビット線CBLおよびZCBLからビット線BL L、ZBL LおよびBLRおよびZBLRを所定の中間電圧VBL (=VCCS/2) の電圧レベルにプリチャージするビット線プリチャージ回路BPQが設けられる。このビット線プリチャージ回路BPQは、ビット線プリチャージ指示信号BLPRの活性化時導通し、共通ビット線ZCBLおよびCBLそれぞれへ中間電圧VBLを伝達するNチャネルMOSトランジスタT5およびT6を含む。

【0321】ビット線BL LおよびZBL Lに対し、ビット線イコライズ指示信号BLEQLの活性化時これらのビット線BL LおよびZBL Lを中間電圧VBLにプリチャージしかつイコライズするビット線プリチャージ/イコライズ回路BEQLが設けられる。ビット線BLRおよびZBLRに対し、ビット線イコライズ指示信号BLEQRの活性化時活性化され、ビット線BLRおよびZBLRを中間電圧VBLにプリチャージしかつイコライズするビット線プリチャージ/イコライズ回路BEQRが設けられる。ビット線プリチャージ/イコライズ回路BEQLは、ビット線イコライズ指示信号BLEQLの活性化時導通しビット線BL LおよびZBL Lを電氣的に短絡するイコライズトランジスタT7と、このビット線イコライズ指示信号BLEQLの活性化時導通し、中間電圧VBLをビット線BL LおよびZBL Lへ伝達するプリチャージ用のNチャネルMOSトランジスタTQ1およびTQ2を含む。これらのMOSトランジスタTQ1およびTQ2の電流駆動力は、MOSトランジスタT5-T7が有する電流駆動力よりも小さくされる。すなわち、これらのMOSトランジスタTQ1およびTQ2は、そのしきい値電圧が、MOSトランジスタT5-T7のそれよりも大きくされ、またそのサイズ(チャネル幅とチャネル長との比)もこれらのMOSトランジスタT5-T7よりも小さくされる。

【0322】ビット線プリチャージ/イコライズ回路BEQRは、ビット線イコライズ指示信号BLEQRの活性化時導通し、ビット線BLRおよびZBLRを電氣的に短絡するイコライズ用のNチャネルMOSトランジスタT8と、ビット線イコライズ指示信号BLEQRの活

性化時導通し、ビット線ZBLRおよびBLRへそれぞれ中間電圧VBLを伝達するプリチャージ用のNチャネルMOSトランジスタTQ3およびTQ4を含む。これらのMOSトランジスタTQ3およびTQ4も、そのしきい値電圧が、MOSトランジスタT5-T8よりも高くされ、またそのサイズ(チャネル幅とチャネル長との比)も、MOSトランジスタT5-T8よりも小さくされる。

【0323】この共通ビット線CBLおよびZCBLにセンスアンプ回路SAが設けられる。また、共通ビット線CBLおよびZCBLは、ビット線分離ゲートBIGLを介してビット線BL LおよびZBL Lに結合され、またビット線分離ゲートBIGRを介してビット線BLRおよびZBLRに結合される。共通ビット線CBLおよびZCBLが、列選択ゲートCSGを介してグローバルデータ線対GIO Pに結合される。次に、この図48に示す回路の動作を図49に示すタイミング図を参照して説明する。

【0324】データアクセスが行なわれる通常動作モード時において、スタンバイ状態時においては、ビット線分離指示信号BLILおよびBLIRはともにHレベル(高電圧レベル)であり、ビット線分離ゲートBIGLおよびBIGRはともに導通状態にあり、共通ビット線CBLおよびZCBLが、ビット線BL L、BLRおよびZBL L、ZBLRに結合される。ビット線BL L、ZBL L、CBL、ZCBL、BLRおよびZBLRは、すべて中間電圧VBLレベルにプリチャージされる。

【0325】ロウアクセスが行なわれると、選択メモリアレイに対して設けられたセンスアンプ帯に対し、ビット線プリチャージ指示信号BLPRがLレベルに立下がり、ビット線プリチャージ回路BPQが非活性化される。また、ビット線BL LおよびZBL LまたはBLRおよびZBLRを含むメモリアレイが選択されたときには、対応のビット線イコライズ指示信号BLEQ (L, R: BLEQL, またはBLEQR) が、非活性状態となり、対応のビット線プリチャージ/イコライズ回路BEQLまたはBEQRが非活性化される。このロウアクセスが完了すると、再び、ビット線プリチャージ指示信号BLPRおよびビット線イコライズ指示信号BLEQLおよびBLEQRが活性化され、各ビット線が中間電圧VBLにプリチャージされる。

【0326】スリープモードに入り、スリープモード指示信号SLEEP_MODEがHレベルとなると、まず、ツインセル書込モード指示信号TWC_WRITE_MODEが所定期間(偶数アドレスのメモリセルデータの再書込が完了するまで)Hレベルとなり、ツインセル書込が実行される。すなわち、1ビット/1セルで記憶される偶数アドレスのデータが、1ビット/2セル単位(ツインセルモード)でデータが保持される。このツ

インセル書込モード時においては、ビット線プリチャージ指示信号BLPRおよびビット線イコライズ指示信号BLEQLおよびBLEQRも、ロウアクセスコマンド（およびブロック選択信号）に従って選択的に活性／非活性化される。

【0327】スリープモードにおいてツインセル書込モードが完了すると、ビット線プリチャージ指示信号BLPRはLレベルに固定される。したがって、このスリープモードにおいてセルフリフレッシュモードに入ると、ビット線プリチャージ回路BPQは、常時非活性状態に保持される。このセルフリフレッシュモード（スリープモード時におけるツインセル書込モード完了後の動作モード）において所定の周期で、リフレッシュ要求が発行される。このリフレッシュ要求に従って、ビット線イコライズ指示信号BLEQ（L、R）すなわち、ビット線イコライズ指示信号BLEQLまたはBLEQRが選択的に非活性化される。したがって、セルフリフレッシュモード時においては、ビット線プリチャージ／イコライズ回路BEQLまたはBEQRに従って、ビット線BLLおよびZBLLまたはBLRおよびZBLRのプリチャージおよびイコライズが実行される。

【0328】このビット線のプリチャージは、しきい値電圧が高く、またサイズ（チャネル幅とチャネル長との比）の小さなMOSトランジスタTQ1およびTQ2またはTQ3およびTQ4により実行される。したがって、セルフリフレッシュモード時において、ビット線プリチャージに要する時間は、通常アクセスモードおよびツインセル書込モード時に比べて長くなる。しかしながら、セルフリフレッシュモードにおいては、このリフレッシュ要求が発行される期間は、たとえば16μsと長く、ビット線プリチャージ時間が長くなっても何ら問題は生じない。また、たとえ仮に、ビット線プリチャージが不十分であり、中間電圧VBLよりもビット線電圧が低いときに次のリフレッシュ要求が発行されてプリチャージ動作が完了する場合においても、本発明においては、セルフリフレッシュモード時にはツインセルモードでデータが保持されており、ビット線対に現われる読出電圧差は十分大きく、安定にセンス動作を行なうことができる。

【0329】図50は、この発明の実施の形態8の利点を説明するための図である。図50に示すように、サブワード線SWLとビット線BLの間に、マイクロショートZRが存在する状態を考える。このマイクロショートZRを介して、リーク電流I1が、スタンバイ状態時、中間電圧レベルにプリチャージされたビット線BLから、非選択状態（接地電圧レベル）のサブワード線SWLに対し流れる。このようなマイクロショートZRが存在する場合でも、スタンバイ電流の仕様値を満たすような半導体記憶装置は、良品として取扱われる。マイクロショートZRによるリーク電流I1は十分小さいため、

サブワード線SWLの選択時この選択サブワード線SWLは確実に、選択状態へ駆動され、正常にメモセルのデータの読出が行なわれる。

【0330】セルフリフレッシュモード時において、ビット線プリチャージ指示信号BLPRを常時非活性状態に固定し、ビット線プリチャージ回路BPQを非活性状態に維持する。すなわち、MOSトランジスタT5およびT6を常時非導通状態に設定する。プリチャージ動作は、電流駆動力の小さなMOSトランジスタTQ1-TQ4で実行する。これらのMOSトランジスタTQ1-TQ4の電流駆動能力は、MOSトランジスタT5およびT6のそれよりも小さいため、これらのMOSトランジスタTQ1-TQ4が、電流リミッタとして動作し、マイクロショートZRを介して流れるリーク電流I1を低減し、セルフリフレッシュモード時の消費電流の増大を抑制することができ、データ保持モード（スリープモード）の消費電流を抑制することができる。

【0331】図51は、この図48に示すビット線プリチャージ指示信号およびビット線イコライズ指示信号を発生する部分の構成の一例を示す図である。図51において、ビット線プリチャージ／イコライズ制御回路は、行選択動作活性化信号RASとブロック選択信号BS<i>を受けるAND回路100aと、行選択動作活性化信号RASとブロック選択信号BS<j>を受けるAND回路100bと、AND回路100aの出力信号を反転してビット線イコライズ指示信号BLEQLを生成するインバータ回路100cと、AND回路100bの出力信号を反転してビット線イコライズ指示信号BLEQRを生成するインバータ回路100dと、AND回路100aおよび100bの出力信号とセルフリフレッシュモード指示信号SRFを受けてビット線プリチャージ指示信号BLPRを生成するNOR回路100eを含む。インバータ回路100cおよび100dとNOR回路100eは、周辺電源電圧レベルの入力信号を、高電圧VPPレベルまたはセンス電源電圧VCCSより高い電圧レベルの信号に変換するレベル変換機能を備える。

【0332】行選択動作活性化信号RASは、リフレッシュモード時または通常アクセスモード時に、行選択指示が与えられたとき（ロウアクティブコマンドまたはオートリフレッシュコマンドまたはセルフリフレッシュ要求信号の発行時）に活性化される。この行選択動作活性化信号RASの活性化にตอบสนองして、内部で所定のシーケンスで、行選択動作に関連する回路が活性化される。ブロック選択信号BS<i>およびBS<j>は、それぞれ、ビット線BLLおよびZBLLを含むメモリアレイおよびビット線BLRおよびZBLRを含むメモリアレイを特定する。

【0333】この図51に示す構成によれば、ブロック選択信号BS<i>が選択状態へ駆動されると、ビット線イコライズ指示信号BLEQLが非活性状態となり、

ブロック選択信号 $BS<i>$ が指定するメモリアレイのイコライズ動作が停止する。ブロック選択信号 $BS<j>$ が選択状態へ駆動されると、ビット線イコライズ指示信号 $BLEQR$ が非活性化され、このブロック選択信号 $BS<j>$ が指定するメモリアレイのビット線イコライズ動作が停止する。

【0334】通常アクセス動作モード時においては、セルフリフレッシュモード指示信号 SRF は、Lレベルの非活性状態であり、またスリープモード時におけるツインセル書込モード時においても、セルフリフレッシュモード指示信号 SRF は、非活性状態である（図30に示す構成を参照）。したがって、ビット線プリチャージ指示信号 $BLPR$ が、これらのAND回路100aおよび100bの出力信号に従って活性／非活性化される。ブロック選択信号 $BS<i>$ および $BS<j>$ の一方が選択状態へ駆動されると、NOR回路100eからのビット線プリチャージ指示信号 $BLPR$ は非活性化される。スリープモードにおいてツインセル書込モードが完了すると、セルフリフレッシュモード指示信号 SRF がHレベルとなり、ビット線プリチャージ指示信号 $BLPR$ はLレベルに固定され、図48に示すビット線プリチャージ回路BPQは非活性状態を維持する。

【0335】この図51に示すロウ系制御回路を各メモリアレイまたはセンスアンプ帯に対応して設けることにより、セルフリフレッシュモード時、各ビット線対を、電流駆動力の小さなMOSトランジスタを用いてビット線のプリチャージを行ない、マイクロショートが存在する場合においても、リーク電流を低減することができ、スリープモード時の消費電流を低減することができる。

【0336】〔実施の形態9〕図52は、この発明の実施の形態9に従う半導体記憶装置のロウ系制御回路の構成を概略的に示す図である。この図52に示すロウ系制御回路は、図11に示すロウ系制御回路と、以下の点において異なっている。すなわち、リフレッシュコントロール回路10からのリフレッシュ活性化信号 REF_RAS の立上りを所定時間遅延する立上がり遅延回路102と、ツインセル書込モード指示信号 TWC_WRITE_MODE を受けるインバータ103と、インバータ103の出力信号とスリープモード指示信号 $SLEEP_MODE$ を受けるAND回路104と、AND回路104の出力信号に従って、リフレッシュコントロール回路10からのリフレッシュ活性化信号 REF_RAS および遅延回路102の出力信号の一方を選択して、リフレッシュ活性化信号 REF_RAS2 を生成して行系制御回路11へ与えるセレクト106が設けられる。

【0337】遅延回路102は、テストモード指示信号 $TEST$ の活性化時、その立上がり遅延時間を短くする。AND回路104は、スリープモード指示信号 $SLEEP_MODE$ がHレベルであり、かつツインセル書込モード指示信号 TWC_WRITE_MODE がLレ

ベルのとき、すなわちセルフリフレッシュモード時に、Hレベルの信号を出力する。すなわち、AND回路104から、セルフリフレッシュモード指示信号 SRF が出力される。セレクト106は、このセルフリフレッシュモード指示信号 SRF がLレベルのときには、リフレッシュコントロール回路10からのリフレッシュ活性化信号 REF_RAS を選択し、一方、セルフリフレッシュモード指示信号 SRF がHレベルのときには、遅延回路102の出力信号を選択する。

【0338】行系制御回路11は、リフレッシュ動作モード時には、セレクト106からのリフレッシュ活性化信号 REF_RAS2 に従って、各行系制御信号 $RAD E$ 、 RXT 、 $RXACT$ および SO を生成する。他の構成は、図11に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0339】図53は、この発明の実施の形態9におけるビット線プリチャージ用の中間電圧 VBL を発生する部分の構成を概略的に示す図である。図53において、中間電圧発生回路21は、図30に示す構成と同様、PチャネルMOSトランジスタ22を介して電源ノードに結合される。この電源ノードへは、センス電源電圧（アレイ電源電圧） $VCCS$ が与えられる。このMOSトランジスタ22の動作を制御するために、ツインセル書込モード指示信号 TWC_WRITE_MODE を受けるインバータ23と、リフレッシュコントロール回路10からのリフレッシュ活性化信号 REF_RAS を受けるインバータ107と、インバータ23および107の出力信号とスリープモード指示信号 $SLEEP_MODE$ を受けてセルフリフレッシュスタンバイ指示信号 $SRFS$ を生成するAND回路108が設けられる。

【0340】このセルフリフレッシュスタンバイ指示信号 $SRFS$ がHレベルのときに、MOSトランジスタ22が非導通状態となり、中間電圧発生回路21は、その電源ノードから分離される。したがって、この状態では、中間電圧発生回路21は中間電圧 VBL を発生せず、図30に示す構成と同様、中間電圧（ビット線プリチャージ電圧） VBL は、フローティング状態となる。

【0341】スリープモード指示信号 $SLEEP_MODE$ がHレベルであり、かつツインセル書込モード指示信号 TWC_WRITE_MODE およびリフレッシュ活性化信号 REF_RAS がともにLレベルのときに、このセルフリフレッシュスタンバイ指示信号 $SRFS$ がHレベルとなる。リフレッシュ動作が実行される場合には、リフレッシュ活性化信号 REF_RAS がHレベルとなり、応じて、セルフリフレッシュスタンバイ指示信号 $SRFS$ がLレベルとなり、中間電圧発生回路21は、オン状態のMOSトランジスタ22を介してセンス電源電圧 $VCCS$ を供給され、中間電圧 VBL を、所定の電圧レベルに設定する。次に、この図52および53に示す構成の動作について、図54に示す信号波形図を

参照して説明する。

【0342】データアクセスが行なわれる通常動作モード時には、スリープモード指示信号SLEEP_MODEはLレベルであり、応じてAND回路104からのセルフリフレッシュモード指示信号SRFはLレベルである。したがって、セクタ106は、リフレッシュコントロール回路10からのリフレッシュ活性化信号REF_RASを選択して行系制御回路11へ与える。行系制御回路11は、データアクセスを行なう通常動作モード時に、ロウアクティブコマンドに応じて生成されるロウ活性化信号RACTに従って、各種行系制御信号を生成する。

【0343】一方、この通常動作モード時に、オートリフレッシュコマンドが与えられ、オートリフレッシュ指示信号AREFが活性化されると、リフレッシュコントロール回路10が、リフレッシュ活性化信号REF_RASを所定期間Hレベルに設定する。この場合も、行系制御回路11は、セクタ106を介して与えられるリフレッシュ活性化信号REF_RASに従って、各種行系制御信号を生成する。

【0344】スリープモードに入ると、スリープモード指示信号SLEEP_MODEがHレベルとなる。このスリープモードの初期において行なわれるツインセル書込時にはツインセル書込モード指示信号TWC_WRITE_MODEがHレベルであり、応じてAND回路104からのセルフリフレッシュ指示信号SRFは、Lレベルであり、セクタ106は、リフレッシュコントロール回路10からのリフレッシュ活性化信号REF_RASを選択して行系制御回路11へ与える。したがって、ツインセル書込モード時には、この行系制御回路11は、リフレッシュ活性化信号REF_RASに従って各種行系制御信号を生成する。通常データアクセスモード時およびオートリフレッシュ動作時およびツインセル書込モード時には、AND回路108の出力信号はLレベルであり、MOSTランジスタ22がオン状態であり、中間電圧発生回路21は、電源ノードからセンス電源電圧VCCSを受けて中間電圧VBLを生成する。

【0345】一方、スリープモードにおいてツインセル書込モードが完了すると、セルフリフレッシュモードに入る。このセルフリフレッシュモード時には、AND回路104からのセルフリフレッシュモード指示信号SRFがHレベルとなり、セクタ106が、遅延回路102の出力信号を選択して行系制御回路11へ与える。このセルフリフレッシュモードのスタンバイ状態時には、図53に示すAND回路108からのセルフリフレッシュスタンバイ指示信号SRFSがHレベルとなり、MOSTランジスタ22がオフ状態となり、中間電圧発生回路21は電源ノードから切離される。したがって、この状態においては、中間電圧発生回路21

は、中間電圧を発生する動作を停止するため、中間電圧VBLは、フローティング状態となり、図54に示すようにビット線電位が徐々に低下する。

【0346】セルフリフレッシュタイマ9が、このツインセル書込モード完了後、所定の周期でリフレッシュ要求信号FAY発行する。このリフレッシュ要求信号FAYが発行されると、リフレッシュコントロール回路10が、リフレッシュ活性化信号REF_RASを発生する。このリフレッシュ活性化信号REF_RASがHレベルとなると、AND回路108からのセルフリフレッシュスタンバイ指示信号SRFSがLレベルとなり、中間電圧発生回路21が電源ノードに結合され、中間電圧VBLの電圧レベルが上昇する。次いで、セクタ106からのリフレッシュ活性化信号REF_RAS2がHレベルとなり、行系制御回路11が各種ロウ系制御信号を順次所定のシーケンスで活性化する。図54においては、まずリフレッシュ活性化信号REF_RAS2の活性化にตอบสนองして、ビット線イコライズ指示信号BLEQがLレベルに立下がり、続いて、選択サブワード線対SWLPの電圧レベルが高電圧VPPレベルに上昇する。この後、センスアンプ活性化信号ZSOPがLレベルに立下がり、またセンスアンプ活性化信号SONがHレベルに立上がり、選択メモリセルのセンス動作が行なわれ、次の電圧レベルが、センス電源電圧VCCSレベルおよび接地電圧レベルに駆動されると、リフレッシュコントロール回路10が、リフレッシュ活性化信号REF_RASを非活性化する。リフレッシュサイクルが完了すると、選択サブワード線対SWLPがLレベルの非活性状態となり、またセンスアンプ活性化信号SONおよびZSPがそれぞれLレベルおよびHレベルの非活性状態へ駆動される。この後、ビット線イコライズ指示信号BLEQが再びHレベルの活性状態へ駆動される。

【0347】したがって、このセルフリフレッシュ動作時には、リフレッシュ活性化信号REF_RAS2を用いて、リフレッシュ動作を行なうことにより、中間電圧発生回路21が、中間電圧VBLを発生し、ビット線プリチャージ/イコライズ回路BLEQにより、ビット線の電圧が中間電圧レベル(=VCCS/2)の電圧レベルに設定された後に、行選択動作を行なうことができ、正確に、センス動作を行なうことができる。

【0348】図50に示すように、サブワード線SWLとビット線BL(またはZBL)においてマイクロショートZRが存在する場合、プリチャージ状態のビット線から非選択状態のサブワード線SWLへ、リーク電流が流れる。このリーク電流は、中間電圧発生回路21から供給される。したがって、このセルフリフレッシュスタンバイサイクル時には、中間電圧発生回路21への電源電圧供給を停止することにより、リーク電流を抑制でき、セルフリフレッシュモード時の消費電流を低減す

ることができる。特に、このようなマイクロショートが多数発生した場合、セルフリフレッシュモード時の直流消費電流が増大するものの、中間電圧発生回路 21 も電源供給を停止することにより、このスリープモードのセルフリフレッシュモード時における消費電流の増大を抑制することができる。

【0349】なお、このリフレッシュ活性化信号 REF_RAS2 を利用しても、リフレッシュ動作実行期間中は変化しない。すなわち、リフレッシュコントロール回路 10 は、センスアンプ活性化信号 SO が活性化された後所定期間経過すると、リフレッシュ活性化信号 REF_RAS を非活性状態へ駆動している。行系制御回路 11 は、リフレッシュ活性化信号 REF_RAS2 の活性化に従って所定のタイミングでセンスアンプ活性化信号を活性化させており、立上がり遅延リフレッシュ活性化信号 REF_RAS2 を用いても、リフレッシュサイクルの期間は、同じである。単に、リフレッシュ活性化信号 REF_RAS の活性化期間が、ツインセル書込モード時および通常動作モード時よりも少し長くなるだけである。

【0350】図 55 は、図 52 に示す遅延回路 102 の構成の一例を示す図である。図 55 において、立上がり遅延回路 102 は、リフレッシュ活性化信号 REF_RAS を、それぞれ所定時間遅延する遅延回路 102a および 102b と、テストモード指示信号 TEST の活性化時導通し遅延回路 102b を短絡するトランスファークラップ 102c と、トランスファークラップ 102c または遅延回路 102b の出力信号とリフレッシュ活性化信号 REF_RAS を受ける AND 回路 102d を含む。この AND 回路 102d から、遅延リフレッシュ活性化信号 REF_RASD が生成され、図 52 に示すセレクタ 106 へ与えられる。次に、この図 55 に示す遅延回路の動作について図 56 に示す信号波形図を参照して簡単に説明する。

【0351】テストモード指示信号 TEST が H レベルのときには、トランスファークラップ 102c がオン状態であり、遅延回路 102d がバイパスされる。リフレッシュ活性化信号 RES_RAS が活性化されると、遅延回路 102a の有する遅延時間 T T a 経過後、AND 回路 102d の両入力の信号がともに H レベルとなり、この AND 回路 102d からの遅延活性化信号 REF_RASD が H レベルとなる。セルフリフレッシュモード時においては、この遅延リフレッシュ活性化信号 REF_RASD が選択されてリフレッシュ活性化信号 REF_RAS2 が生成される。したがって、リフレッシュ活性化信号 REF_RAS2 が、この遅延リフレッシュ活性化信号 REF_RASD の活性化に従って活性化される。

【0352】この場合、図 53 に示す中間電圧発生回路 21 が中間電圧を発生してから、行選択動作が行なわれ

るまでの時間は、時間 T T a であり、ビット線 B L および Z B L のプリチャージ時間は、時間 T T a である。この状態で、リフレッシュ動作を実行する。ビット線のプリチャージ時間が短い状態でリフレッシュを行ない、正確にメモリセルデータがリフレッシュされているかどうかを判定する。すなわち、ビット線プリチャージが不十分であり、ビット線プリチャージ電圧レベルが中間電圧レベルよりも低い場合、ツインセルモード時であっても、読出マージンが低下し、正確にセンス動作を行なうことができなくなる可能性がある。このウェハレベルでのテスト時に、テストモード指示信号 TEST により、プリチャージ時間を短くして、リフレッシュが正確に行なわれているか否かを判定する。このテスト時においてリフレッシュが正確に行なわれていれば、テスト完了後テストモード指示信号 TEST を L レベルに設定した場合、この遅延回路 102 における立上がり遅延時間は遅延回路 102a および 102b の有する遅延時間は T T b となり、そのビット線プリチャージ時間はテスト動作時よりも長くすることができ、この半導体記憶装置の確実にリフレッシュ特性を保証することができる。

【0353】遅延回路 102 における遅延時間を短くしてリフレッシュテストすることにより、たとえばサブワード線とビット線間のマイクロショートによるビット線プリチャージ電圧の不良をスクリーニングすることができる。

【0354】なお、遅延回路 102 の遅延時間は、複数段階にテストモード時設定可能とされてもよい。テスト結果に応じて遅延時間がたとえばヒューズプログラミングにより設定されてもよい。すなわち、遅延回路 102 の遅延時間はトリミング可能であってもよい。セルフリフレッシュモード完了時には、中間電圧発生回路 21 を活性化した後、通常動作モードに復帰し、データの再配置を実行する。

【0355】以上のように、この発明の実施の形態 9 に従えば、セルフリフレッシュスタンバイ状態時においては、ビット線プリチャージ電圧を発生する回路の電源供給を停止しており、セルフリフレッシュモード時の消費電流を低減することができる。特に、マイクロショートなどのリーク電流を抑制でき、消費電流を低減することができる。また、セルフリフレッシュモード時においては、ビット線のプリチャージを行なった後に、行選択動作を行なうように構成しており、中間電圧発生回路が中間電圧を発生し、ビット線プリチャージが行なわれた後に行選択を行なっており、ビット線電圧の低下を抑制でき、正確なセンス動作を行なうことができる。また、テスト信号により、このビット線プリチャージ時間を短くしてセルフリフレッシュテストを行なうことにより、マイクロショートに起因するビット線電位低下の不良をスクリーニングすることができ、信頼性の高い半導体記憶装置を実現することができる。

【0356】〔実施の形態10〕図57は、この発明の実施の形態10に従う半導体記憶装置の要部の構成を示す図である。この図57においては、1つのセンスアンプSAに関連する部分の構成を示す。

【0357】図57において、センスアンプSAが、共通ビット線CBLおよびZCBLに結合される。このセンスアンプSAは、交差結合されるPチャネルMOSトランジスタP1およびP2と、交差結合されるNチャネルMOSトランジスタN1およびN2を含む。センスアンプSAに対し、センスアンプ活性化信号ZSOPに
10 応答してセンス共通電源線S2Pにアレイ電源電圧VCCSを伝達するセンスアンプ駆動トランジスタ（PチャネルMOSトランジスタ）P3と、センスアンプ活性化信号SONの活性化に
20 応答してセンス共通接地線S2Nに接地電圧を伝達するセンスアンプ駆動トランジスタ（NチャネルMOSトランジスタ）N3が設けられる。

【0358】共通ビット線CBLおよびZCBLは、ビット線分離ゲートBIGLを介してビット線BLLおよびZBLLに結合され、またビット線分離ゲートBIGRを介してビット線BLRおよびZBLRに結合される。ビット線BLLおよびZBLLとビット線BLRおよびZBLRとは、異なるメモリブロックに配置される。ビット線分離ゲートBIGLは、ビット線分離指示信号BLILに
30 応答して導通／非導通状態となり、ビット線分離ゲートBIGRは、ビット線分離指示信号BLIRに
40 応答して導通／非導通状態となる。

【0359】ビット線BLLおよびZBLLに対しビット線プリチャージ／イコライズ回路BEQLが設けられ、ビット線BLRおよびZBLRに対し、ビット線プリチャージ／イコライズ回路BEQRが設けられる。ビット線プリチャージ／イコライズ回路BEQLは、ビット線イコライズ指示信号BLEQLに
50 応答して活性化されて中間電圧VBLをビット線BLLおよびZBLLに供給しかつこれらのビット線BLLおよびZBLLの電圧レベルを中間電圧VBLレベルにイコライズする。ビット線プリチャージ／イコライズ回路BEQRは、ビット線イコライズ指示信号BLEQRに
60 応答してビット線BLRおよびZBLRを中間電圧VBLレベルにプリチャージしかつイコライズする。

【0360】共通ビット線CBLおよびZCBLに対し、列選択ゲートCSGおよび再配置列選択ゲートRACSGが結合される。列選択ゲートCSGは、列選択信号CSLに
70 応答して導通し、共通ビット線CBLおよびZCBLをグローバルデータ線GIOおよびZGIOに接続する。再配置列選択ゲートRACSGは、再配置列選択信号RACSLに
80 応答して導通し、共通ビット線CBLおよびZCBLを再配置データ線GRAおよびZGRAに結合する。これらのグローバルデータ線GIOおよび再配置データ線GRAを、このメモリアレイに含まれるメモリブロックに共通に配置する。

【0361】2つの列選択ゲートCSGおよびRACSGを利用することにより、スリープモード移行時において、1つの行（ワード線）に接続するメモリセルデータを、データ保持領域へ転送する。内部でスリープモード移行時、ツインセル書込モード前に、データ保持が必要なデータを、すべてデータ保持領域に格納することにより、外部へデータを読み出す必要がなく、高速で、このツインセルモードのためのデータ再配置を実行する。

【0362】図58は、この発明の実施の形態10に従う半導体記憶装置の全体の構成を概略的に示す図である。図58において、メモリアレイは、複数のメモリブロックMB0-MBmに分割される。メモリブロックMB0-MBmの間および外側に、センスアンプ帯SAB0-SABnが配置される。これらのセンスアンプ帯SAB0-SABnにおいて、図57に示すセンスアンプSAが対応のメモリブロックの各ビット線対に対応して配置される。

【0363】メモリブロックMB0-MBmに共通に、グローバルデータ線対GIOおよび再配置データ線対GRAPが配置される。これらのグローバルデータ線対GIOおよび再配置データ線対GRAPが、転送回路XFRに結合される。

【0364】メモリブロックMB0-MBmに対応してローカル制御回路LCTLO-LCTLmが配置される。これらのローカル制御回路LCTLO-LCTLmは、メイン制御回路MCTLからのロウ／コラム系制御信号に従って対応のメモリブロックの行／列選択動作を制御する。また、これらのメモリブロックMB0-MBmに対応してロウデコーダが配置され、またセンスアンプ帯SAB0-SABnに対応してコラムデコーダが配置されるが、これらは図面を簡略化するために示していない。

【0365】図58に示すように、メモリブロックMB0-MBmのうちの2つのメモリブロックにおいてそれぞれワード線を選択状態に駆動し、対応のセンスアンプ帯によりメモリセルデータをラッチする。次いで、一方のワード線（センスアンプ）のメモリセルのデータを、グローバルデータ線対GIOに読出した後、転送回路XFRを介して再配置データ線対GRAPに伝達する。次いで、このデータを再配置データ線対GRAPを介して他方のメモリブロックの選択ワード線のメモリセルに伝達する。したがって、データ再配置時においては、ローカル制御回路LCTLO-LCTLmおよびメイン制御回路MCTLの制御の下に、内部でデータの転送を行なってデータの再配置を実行する。

【0366】なお、メモリブロックMB0-MBmの各々は、複数のサブアレイに分割され、これらのメモリブロックMB0-MBmにおいては、メインワード線およびサブワード線が配置される。データ保持領域のメモリブロックにおいては、偶数行アドレスのワード線（サブ

ワード線)が選択される。

【0367】図59は、1つのセンスアンプ帯に対応して設けられるコラムデコードの構成を概略的に示す図である。図59において、ブロック選択信号BS<i>およびBS<j>を受けるOR回路200cが、コラムデコード動作制御のために設けられる。

【0368】コラムデコードは、コラムプリデコード信号CPYとOR回路200cからのブロック選択信号BSとデータ再配置書込指示信号φRGE<i>, j>を受け、列選択信号CSLを生成するコラムデコード200aと、コラムプリデコード信号CPYとブロック選択信号BSとデータ再配置書込指示信号φRGE<i>, j>を受けて再配置列選択信号RACSLを生成するコラムデコード200bを含む。コラムデコード200aは、ブロック選択信号BSが選択状態にあり、データ再配置書込指示信号φRGE<i>, j>が非活性化状態のときに活性化されてコラムプリデコード信号CPYをデコードして列選択信号CSLを生成する。コラムデコード200bは、ブロック選択信号BSおよびデータ再配置書込指示信号φRGE<i>, j>がともに活性化状態のときに、コラムプリデコード信号CPYをデコードして再配置列選択信号RACSLを生成する。ここで、データ再配置書込指示信号φREG<i>, j>は、メモリブロックMBiまたはMBjがデータ保持領域として用いられるとき活性化される。

【0369】このデータ再配置書込指示信号φRGE(=φRGE<i>, j>)は、データ再配置動作モード時、データ保持領域のメモリブロックに対して好ましくはメモリブロック単位で活性化される(データ保持領域内のメモリブロック間でデータの転送が行なわれることがあるため)。通常動作時には、コラムデコード200aが活性化され、列選択信号CSLを生成する。このときには、コラムデコード200bは、非活性化状態であり、デコード動作を行わず、再配置列選択信号RACSLは非活性化状態を維持する。

【0370】一方、データ再配置動作モード時には、データ保持領域のデータを受けるメモリブロックに対しては、コラムデコード200aは非活性化状態を維持し、一方、コラムデコード200bが活性化される。このときブロック選択信号BS(ロウアクティブコマンドが与えられたときのブロックアドレスにより活性化される)に従って活性化される。

【0371】1つのグローバルデータ線対GIOおよび1つの再配置データ線対GRAPには、一例として、16列のビット線対が対応して配置される。したがって、これらのコラムデコード200aおよび200bは、1/16のデコード動作を行なう。すなわち16回のデータ転送により1行のメモセルデータの転送が完了する。

【0372】図60は、図58に示す転送回路XFRの

構成を概略的に示す図である。図60において、グローバルデータ線対GIOに対しては、ライトドライバ204およびプリアンプ206が配置される。ライトドライバ204は、データ書込時、ライトドライバ制御信号WDEにตอบสนองして活性化され、データ入出力/制御回路202から与えられた内部書込データに従って相補データを生成してグローバルデータ線GIOおよびZGIOに伝達する。

【0373】プリアンプ206は、プリアンプ活性化信号PAEの活性化にตอบสนองして活性化され、グローバルデータ線GIOおよびZGIO上の相補データから相補データPAOおよびZPAOを生成する。このプリアンプ206からの内部読出データPAOが、データ入出力/制御回路202へ与えられる。

【0374】プリアンプ206の出力データPAOおよびZPAOを再配置モード指示信号φRGMにตอบสนองして活性化される転送バッファ208により、再配置データ線対GRAPに転送される。この転送バッファ208は、再配置データ線GRAおよびZGRAにそれぞれ対応して設けられるトリステートバッファ回路208aおよび208bを含む。したがって、このデータ再配置動作時には、転送バッファ208が活性化され、プリアンプ206からの相補データが再配置データ線対GRAPに伝達される。

【0375】データ入出力/制御回路202は、データ入出力回路および入出力制御回路を含む。このデータ入出力/制御回路202は、スリープモード移行時のデータ再配置動作時には、再配置モード指示信号φRGMに従ってデータの入出力動作が禁止される。したがって、プリアンプ206は、単に内部でグローバルデータ線対GIOから再配置データ線対GRAPにデータを転送するためにのみ利用される。

【0376】図61は、この発明の実施の形態10におけるスリープモード移行時のデータ再配置を行なう際のメモリコントローラの動作を示すフロー図である。以下、図61を参照して、このスリープモード移行時のメモリコントローラの動作について簡単に説明する。

【0377】メモリコントローラは、処理の中断が所定時間以上あり、スリープモードに入るべきかどうかを判断する(ステップS10)。スリープモードに入るべきであると判断した場合、メモリコントローラは、まず、再配置モード指示信号φRGMを活性化し、図60に示す転送バッファ208を活性化する。

【0378】次いで、メモリコントローラは、保持の必要なデータを内部で読出すために、ロウアクティブコマンドを与え、保持が必要なデータの行を選択する。

【0379】次いで、メモリコントローラは、データ保持領域内の偶数ロウアドレスの行を選択状態へ駆動する。すなわち、2つのメモリブロックにおいて、並行してワード線が選択状態に保持される。

【0380】この状態で、メモリコントローラは、データ読出を指示するリードコマンドを与え、同時に列アドレスを与える。半導体記憶装置内部においては、このリードコマンドに従って、同じ列アドレスに従って、2つのメモリブロックにおいて列選択が行なわれる。一方のメモリブロックにおいては、図59に示すコラムデコーダ200aが活性化され、データ保持領域のメモリブロックにおいてはコラムデコーダ200bが活性化される。ここで、データ再配置書込指示信号φRGEは、再配置モード指示信号φRGMの活性化時においてリードコマンドが与えられると内部で、データ保持領域に対してたとえばメモリブロック単位で活性化される（この構成については後に説明する）。リードコマンドに従ってプリアンプ活性化信号PAEが活性化され、グローバルデータ線対GIO Pに読出されたメモリセルデータが、図60に示すプリアンプ206および転送バッファ208を介して再配置データ線対GRAPに伝達される。

【0381】再配置データ線対GRAPは、データ保持領域のメモリブロックの選択列に結合されておりこの選択列に対しデータ転送が行なわれる。この動作を、ページモードに従って1行のメモリセルデータがすべて転送されるまで繰返し実行する。1つのグローバルデータ線対GIO Pに対して、たとえば16列のビット線対が配置されているため、したがって16回、このデータ転送動作を実行することにより、1行のメモリセルデータの転送が完了する。この動作を、保持が必要なデータに対し実行する（ステップS12）。

【0382】この動作を繰返した後、メモリコントローラは、データ転送回数など保持が必要なデータの格納領域のアドレスをモニタして、必要なビット（データ）がすべて転送されたか否かをモニタする（ステップS14）。すべての保持が必要なデータが転送されると、メモリコントローラは、スリープモードに入り、ツインセル書込モードを実行し、1ビット/1セルモードで格納された保持領域のデータを、1ビット/2セルモード（ツインセルモード）でデータを格納する再書込を実行する。

【0383】図62は、この半導体記憶装置内におけるデータ転送を模式的に示す図である。図62において、メモリアレイMMの領域AおよびBに格納されたデータが、保持が必要なデータである。これらの領域AおよびBに格納されたデータを、上述の転送動作に従って、データ保持領域DHGの偶数ロウアドレス上に転送する。このデータ保持領域DHGにおいては、データ再配置書込指示信号φRGEが活性化状態にある。したがって、このデータ再配置モードにおいては、同一メモリブロック内またはセンスアンプ帯を共有するメモリブロック間でのデータ転送は、行なうことはできない。これは、コラムデコーダが、メモリブロック単位でデータ再配置書込指示信号φRGEおよびブロック選択信号BSに従って

活性/非活性が制御されるためである。

【0384】図63は、このデータ再配置動作を模式的に示す図である。今、図63に示すように、メモリブロックMBbに、保持が必要なデータが格納されており、メモリブロックMBaがデータ保持領域である状態を考える。メモリブロックMBbにおいて、ワード線WLbを選択状態へ駆動する。続いて、メモリブロックMBaにおいてワード線WL aを選択状態へ駆動する。リードコマンドを与えることにより、このワード線WLbのメモリセルデータが、グローバルデータ線対GIO P上に読出され、転送回路XFRを介して再配置データ線対GRAPに転送される。この再配置データ線対GRAP上のデータが、メモリブロックMBa上のワード線WL aに接続されるメモリセルに転送される。メモリブロックMBaおよびMBbにおいてワード線WL aおよびWLbを選択状態に保持し、センスアンプにメモリセルデータを保持することにより、1つのリードコマンド印加により、ワード線WLbからワード線WL aに、所定数のビットのデータを転送することができる。

【0385】図64は、データ再配置書込指示信号φRGEを発生する部分の構成の一例を示す図である。図64において、データ再配置書込指示信号発生部は、再配置モード指示信号φRGMの活性化にตอบสนองして活性化され、プリチャージコマンドPRGをカウントするカウンタ210と、カウンタ210からのカウントアップ指示信号φUPに従ってシフト動作を行ない、データ保持領域DHG内のメモリブロックに対するデータ再配置書込指示信号φRGE0ーφRGEkのいずれかを活性化状態へ駆動するシフトレジスタ211を含む。なお、データ保持領域DHGが別のメモリ空間上にプログラム（マッピング）されると、シフトレジスタ211は、新しいデータ保持領域DHG上のメモリブロックに対するデータ再配置書込指示信号φRGEiーφRGEjを駆動するように切り換えられる。この構成は、単に全メモリブロックに対するデータ再配置書込指示信号をシフトレジスタ211から発生するように構成し、シフトレジスタ211のシフト領域を保持領域に応じて調整して、データ保持領域に対応するメモリブロックに対するデータ再配置書込指示信号を順次活性化することにより実現される。

【0386】シフトレジスタ211は、再配置モード指示信号φRGMの活性化にตอบสนองして初期状態にリセットされ、たとえばデータ再配置書込指示信号φRGE0を活性化状態へ駆動する。このシフトレジスタ211は、再配置モード指示信号φRGMが活性化状態の間活性化されてシフト動作を実行する。再配置モード指示信号φRGMが非活性化状態となると、シフトレジスタ211は非活性化され、データ再配置書込指示信号φRGE0ーφRGEkをすべて非活性化状態のLレベルに駆動する。残りのメモリブロックに対するデータ再配置書込指示信号

は、再配置モード指示信号 ϕRGM の状態に係らず、全て非活性状態に設定される。

【0387】図65は、データ再配置書込指示信号とメモリブロックとの対応関係を示す図である。図65に示すように、データ保持領域DHGが、メモリブロックMB#0-MB#kを含む。これらのメモリブロックMB#0-MB#kに対応して、データ再配置書込指示信号 $\phi RGE0-\phi RGEk$ が対応して発生される。残りのメモリブロックに対するデータ再配置書込指示信号 ϕRGE は全て非活性状態に保持される。

【0388】センスアンプ帯が、隣接するメモリブロックにおいて共有されるため、このセンスアンプ帯を共有するメモリブロックに対するデータ再配置書込指示信号が、データ再配置書込指示信号 ϕRGE として再配置コラムデコード200bへ与えられる。この場合、外部のメモリコントローラは、シフトレジスタ211が行なうシフト動作の方向に従って、行選択時においては、メモリブロックMB#0-MB#kを特定するブロック選択信号を与える。データ保持領域が、メモリコントローラにより予め固定的に設定されている必要がある。たとえば、シフトレジスタ211が、データ再配置書込指示信号 $\phi RGE0-\phi RGEk$ を順次活性状態へ駆動する場合、外部のメモリコントローラは、再配置先のロウブロックアドレスとして、メモリブロックMB#0-MB#kを順次特定するブロックアドレスを生成する。

【0389】図64に示すカウンタ210は、プリチャージコマンドPRGが、1つのメモリブロック内のワード線の数の1/2倍の値に到達するとカウントアップ指示信号 ϕUP を活性化する。これは、データ保持領域においてはメモリブロックの偶数ロウアドレスにデータが書込まれ、奇数ロウアドレスには、データは書込まれず、一方、保持すべきデータを格納する領域は、偶数および奇数ロウアドレス両者を含むためである。

【0390】なお、図64に示す構成においては、カウンタ210へ、ロウアクティブコマンドRACTを与えてもよい。この場合、カウンタ210のカウント値が、1つのメモリブロックに含まれるワード線の数に等しくなるときにカウンタ210がカウントアップ信号 ϕUP を活性化する。1つのデータ転送サイクルにおいて（行単位のデータ転送において）、2回ロウアクティブコマンドRACTが活性化されるためである。

【0391】〔データ再配置書込指示信号発生部の変更例〕図66は、データ再配置書込指示信号発生部の変更例を概略的に示す図である。図66において、再配置モード指示信号 ϕRGM とデータ書込を指示するライトコマンドWRITEを受けて、メイン再配置書込指示信号MRGEを生成するAND回路212が、メイン制御回路MCTL内に設けられる。ローカル制御回路LCTL内においては、メイン制御回路MCTL内の列制御回路からのコラムプリデコード信号CPYをデコードするデ

コード213と、デコード213の出力信号とメイン再配置書込指示信号MRGEを受けるAND回路214と、このAND回路214の出力信号と、センスアンプ帯を共有するメモリブロックに対するローカル制御回路からのローカルデータ再配置書込指示信号 $\phi RGEj$ とを受けるOR回路215が設けられる。OR回路215から、図59に示すコラムデコード200bに対するデータ再配置書込指示信号 ϕRGE （ $\phi RGE < i, j >$ ）が出力される。

10 【0392】この図66に示す構成においては、行を選択状態へ駆動した後、データ再配置のための転送動作を行なう前に、ライトコマンドWRITEを与える。再配置モード指示信号 ϕRGM が活性状態のときには、メイン再配置書込指示信号MRGEが活性化され、ローカル制御回路LCTLへ与えられる。ローカル制御回路LCTL（LCTL0-LCTLm）において、デコード213が、このライトコマンドWRITEと同時に与えられたコラムアドレスから生成されたコラムプリデコード信号CPYをデコードする。このときに与えられるコラムプリデコード信号CPYは、列を指定するのではなく、データを保持するメモリブロック、すなわちデータ保持領域内のメモリブロックを特定する信号を含む。したがって、データ転送動作時において、外部のメモリコントローラの制御の下に、データ保持領域を任意の領域に設定することができる。

20 【0393】なお、図65および図66に示す構成の場合、データ再配置書込指示信号 ϕRGE が、ブロック選択信号としての機能を備えている。したがって、ブロック選択信号BSを、図59に示す再配置コラムデコード200bへ特に与える必要はない。

30 【0394】また、データ保持領域が固定されている場合には、その固定されたデータ保持領域に対し、メイン再配置書込指示信号を再配置書込指示信号 ϕRGE として与えてもよい。ブロック選択信号BSにより、データ保持領域内におけるメモリブロックが特定される。このブロック選択信号BSは、ロウアクティブコマンド印加時に印加されるブロックアドレスから生成される信号であり、ロウアクティブ期間中内部でラッチされている。

40 【0395】図67は、1つのデータ転送サイクル時の動作を示すタイミング図である。図67において、まず、再配置モード指示信号 ϕRGM がHレベルに設定される。この状態において、行選択を指示するロウアクティブコマンドRACTが与えられる。最初のロウアクティブコマンドRACTと同時に、ブロックアドレスBS#0が与えられる。このブロックアドレスBS#0が指定するメモリブロックに対するメモリアレイ活性化信号RAS#0が活性化され、ワード線が選択状態へ駆動される。

50 【0396】続いて、再びロウアクティブコマンドRACTを与え、同時に、ブロックアドレスBS#1を与え

る。このブロックアドレスBS#1は、データ保持領域内のメモリブロックを特定する。このブロックアドレスBS#1に従って、ブロックアドレスBS#1に対応するメモリブロックに対するアレイ活性化信号RAS#1が活性化され、ワード線が選択状態へ駆動される。したがって、これらのブロックアドレスBS#0およびBS#1が指定するメモリブロック内においてワード線が選択状態に保持される。

【0397】続いて、データ読出を指示するリードコマンドREADが与えられる。データ再配置書込指示信号φRGEは、既に選択状態に設定されている。このリードコマンドと同時に与えられるコラムアドレス（図示せず）に従って列選択動作が行なわれる。ブロックアドレスBS#0が指定するメモリブロックにおいてはコラムデコーダ200aが活性化され、一方、ブロックアドレスBS#1が指定するメモリブロックにおいては、コラムデコーダ200bが活性化されてデコード動作を行なう。したがって、リードコマンドREADに従って、ブロックアドレスBS#0が特定するメモリブロックの選択列のデータがグローバルデータ線対GIOPおよびブリアンプを介して再配置データ線対GRAPに伝達される。この再配置データ線対GRAPに転送されたデータは、ブロックアドレスBS#1が特定するメモリブロックの選択列に伝送される。

【0398】このリードコマンドREADを、1行のデータを読出すのに必要な回数繰返し印加する。1行のデータがすべて読出されて内部で転送された後、プリチャージコマンドPRGを与え、アレイ活性化信号RAS#0およびRAS#1を非活性化状態へ駆動する。これにより、ブロックアドレスBS#0およびBS#1が特定するメモリブロックがプリチャージ状態に復帰する。

【0399】上述のページモード動作を、ブロックアドレスBS#0が指定するメモリブロック内のすべての行に対して実行する。したがって1つのメモリブロックのすべての行を、データ保持領域に転送する場合、2つのメモリブロックにわたる偶数ロウアドレスに対し、データ転送が行なわれることになる。このデータ転送時の行アドレスの制御は、メモリコントローラにより実行される。これにより、異なるメモリブロックの行の同一列の間でメモリセルのデータの転送を行なうことができる。

【0400】【行系制御回路の構成】図68は、メイン制御回路MCTLの行系制御回路の構成を概略的に示す図である。この図68に示す構成は、図11に示す回路の構成に対応する。この図68に示す構成においては、先の図11に示す構成に加えて、さらに、再配置モード指示信号φRGMとロウアクティブコマンドRACTを受けるゲート回路220が行系制御回路11に対して設けられる。このゲート回路220は、再配置モード指示信号φRGMがHレベルの活性化状態のときには、外部からのロウアクティブコマンドRACTを無効化し、行系

制御回路11に対し、ロウアクティブコマンドは印加しない。一方、このゲート回路220は、再配置モード指示信号φRGMがLレベルのときには、外部からのロウアクティブコマンドRACTを行系制御回路11へ与える。

【0401】また、再配置モード指示信号φRGMとロウアクティブコマンドRACTを受けるAND回路222と、AND回路222の出力信号とセルフリフレッシュタイマ9からのリフレッシュ要求信号FAYFを受けるOR回路224が設けられる。このOR回路224からの出力信号がリフレッシュ要求FAYFとしてリフレッシュコントロール回路10へ与えられる。すなわち、再配置モード指示信号φRGMの活性化時には、外部からのロウアクティブコマンドRACTが与えられると、リフレッシュ要求FAYFが活性化され、リフレッシュコントロール回路10が、リフレッシュ活性化信号REF_RASを活性化する。データ再配置動作が完了すると、再配置モード指示信号φRGMがLレベルとなるため、ロウアクティブコマンドRACTは、AND回路222により無効化され、セルフリフレッシュ要求信号FAYFに従ってリフレッシュ要求FAYFが発生される。

【0402】すなわち、データ再配置動作モード時には、ロウアクティブコマンドRACTを与えると、所定期間活性化されるリフレッシュ活性化信号REF_RASに従って行系制御回路11が、行系の制御信号RADE等を順次活性化する。

【0403】このデータ再配置時には、外部からのアドレス信号に従ってメモリセルの行を指定するため、再配置モード指示信号φRGMとリフレッシュ活性化信号REF_RASを受けるゲート回路226がリフレッシュカウンタ2に対して設けられる。このゲート回路226は、再配置モード指示信号φRGMがHレベルのときには、リフレッシュカウンタ2のカウント動作を停止させる。再配置モード指示信号φRGMが、Lレベルのときにはリフレッシュ活性化信号REF_RASに従ってリフレッシュカウンタ2がカウント動作を実行する。このリフレッシュカウンタ2のカウント動作については、ゲート回路226の出力信号の立上がりに対応してカウント動作が行なわれてもよく、また立下がりに対応してカウント動作が行なわれてもよい。

【0404】このゲート回路226の出力信号は、またセクタ3へ与えられる。再配置モード指示信号φRGMがHレベルのときには、セクタ3は、入力バッファ／ラッチ回路1からのアドレス信号を選択する。再配置モード指示信号φRGMがLレベルのときには、セクタ3は、リフレッシュカウンタ2からのリフレッシュアドレスを選択する。

【0405】この図68に示す構成においては、サブデコード信号発生回路7およびメインデコード信号発生回

路8は、ローカル制御回路LCTL内に設けられる。すなわちプリデコード回路5からのプリデコード信号 $X<19:0>$ は、このメイン制御回路で生成された後、各メモリブロックに対応して設けられるローカル制御回路LCTLへ共通に与えられる。ここで、メモリブロックの数が8であり、1メモリブロックにおいては、512本のワード線(サブワード線)が配置されている構成が一例として示される。先の実施の形態1におけるメモリアレイが、本実施の形態10におけるメモリブロックに対応する。

【0406】ローカル制御回路は、ブロック選択信号 $BS<7:0>$ に従って選択的に活性化される。これらのサブデコード信号発生回路7およびメインデコード信号発生回路8へは、ロウアドレスデコードイネーブル信号RADEが与えられ、ブロック選択信号 $BS<7:0>$ に従って選択的に活性化されてデコード動作を行なう。したがって、入力バッファ/ラッチ回路1においては、ロウアクティブコマンドRACTが与えられるごとに、そのロウアクティブコマンドと並行して与えられるロウアドレスビット $RA<11:0>$ に対応する内部ロウアドレスビットがセクタ3を介してブロックデコード回路4およびプリデコード回路5へ与えられる。ブロックデコード回路4およびプリデコード回路5は、ロウアクティブコマンドに従ってブロック選択信号およびプリデコード信号を生成して、各ローカル制御回路LCTLへ伝達する。

【0407】図69は、ローカル制御回路の構成を概略的に示す図である。図69において、ローカル制御回路LCTLiは、ブロック選択信号 $BS<i>$ の活性化に
30 応答してセットされてラッチブロック選択信号 $LBS<i>$ を生成するセット/リセットフリップフロップ232aと、ラッチブロック選択信号 $LBS<i>$ とメインセンスアンプ活性化信号SOを受けるAND回路230aと、ラッチブロック選択信号 $LBS<i>$ と(メイン)ワード線駆動タイミング信号RXTとを受けるAND回路230bと、ラッチブロック選択信号 $LBS<i>$ とサブワード線駆動タイミング信号(ワード線活性化信号)RXACTとを受けるAND回路230cと、ラッチブロック選択信号 $LBS<i>$ とメインロウアドレスデコードイネーブル信号RADEを受けるAND回路230dと、AND回路230aの出力信号の立上がり
40 に応答してセットされてローカルセンスアンプ活性化信号 $SO<i>$ を生成するセット/リセットフリップフロップ232bと、AND回路230bの出力信号の立上がりに応答してセットされ、ローカルワード線駆動タイミング信号 $RXT<i>$ を生成するセット/リセットフリップフロップ232cと、AND回路230cの出力信号の立上がりに応答して活性化され、ローカルサブワード線駆動タイミング信号 $RXACT<i>$ を生成する

セット/リセットフリップフロップ232dとを含む。

【0408】ラッチブロック選択信号 $LBS<i>$ に従ってまた、ビット線分離指示信号 $BLI<i>$ およびビット線イコライズ指示信号 $BLEQ<i>$ も生成される。ラッチブロック選択信号 $LBS<i>$ に従ってローカルのロウ系制御信号 $SO<i>$ 、 $RXT<i>$ 、 $RXACT<i>$ および $RADE<i>$ を生成することにより、これらの外部からのブロック選択信号 $BS<i>$ が非活性状態となった後に、たとえばセンスアンプ活性化
10 信号SOが活性化されても、正確に、ローカルのセンスアンプ活性化信号 $SO<i>$ を活性状態へ駆動する。このラッチブロック選択信号 $LBS<i>$ が、また、コラムデコーダ200aおよび200bへブロック選択信号 $BS<j>$ として与えられる。

【0409】ローカル制御回路LCTLiは、さらに、セルフリフレッシュ指示信号SRFと遅延センスアンプ活性化信号 SO_DL とプリチャージコマンドPRGに従ってセット/リセットフリップフロップ232a-232eをリセットするリセット回路233と、ローカル
20 ロウアドレスデコードイネーブル信号 $RADE<i>$ の活性化に
20 応答してプリデコード信号Xをラッチするアドレスラッチ回路234と、ローカルロウアドレスデコードイネーブル信号 $RADE<i>$ の活性化に
20 応答してデコード動作を行ない、ワード線駆動タイミング信号 $RXT<i>$ および $RXACT<i>$ に従ってサブデコード信号ZSDFおよびメインワード線デコード信号ZMWLを生成するロウデコーダ235を含む。

【0410】リセット回路233は、セルフリフレッシュモード指示信号SRFと遅延センスアンプ活性化信号 SO_DL を受けるAND回路233aと、AND回路233aの出力信号とプリチャージコマンドPRGとを受けるOR回路233bを含む。このOR回路233bから、セット/リセットフリップフロップ232a-232eに対するリセット信号が発生される。セルフリフレッシュモード以外
30 のときには、プリチャージコマンドPRGに従ってこれらのセット/リセットフリップフロップ232a-232eがリセットされる。セルフリフレッシュモード時には、リフレッシュ動作が行なわれ、センスアンプ活性化信号SOが活性化された後所
40 定時間経過後活性化される遅延センスアンプ活性化信号 SO_DL に従ってこれらのセット/リセットフリップフロップ232a-232eがリセットされる。この遅延センスアンプ活性化信号 SO_DL は、図32の遅延回路33の出力信号に対応する。

【0411】なお、オートリフレッシュコマンドARFが用いられる場合には、このスリープモード指示信号SRFとオートリフレッシュコマンドARFのいずれかが活性状態のときに、AND回路232aの出力信号が活性状態のHレベルとなるように構成される。これは、たとえばオートリフレッシュコマンドARFに
50 応答して所

定のワンショットパルスを生成し、このワンショットパルスとスリープモード指示信号SRFとのORを取ってAND回路233aへ与えることにより実現される。

【0412】アドレスラッチ回路234は、ローカルロウアドレスデコードイネーブル信号RADE<i>に從って非導通状態となるトランスファークゲート234aと、トランスファークゲート234aを介して与えられたプリデコード信号Xをラッチするインバータラッチ回路234bとを含む。ローカル制御回路LCTLiにおいては、このデータ再配置動作モードにおいては、プリチャージコマンドPRGが与えられるまで、ラッチ状態を維持し、ブロック選択信号BS<i>が選択された場合には、この選択メモリブロックにおいて行選択およびセンス動作が実行される。次に、この図68および図69に示す回路の動作を図70に示すタイミングチャートを参照して説明する。

【0413】再配置モード指示信号φRGMはHレベルにあり、図68において、ゲート回路220の出力信号はLレベルに固定される。この状態で、ロウアクティブコマンドRACTが与えられると、図68に示すAND回路222の出力信号がHレベルとなり、応じてリフレッシュコントロール回路10に対するリフレッシュ要求FAYFが活性化される。応じて、リフレッシュコントロール回路10が、リフレッシュ活性化信号REF__RASを活性化して行系制御回路11へ与える。

【0414】行系制御回路11は、このリフレッシュ活性化信号REF__RASに從って、メインロウアドレスデコードイネーブル信号RADE、メインワード線駆動タイミング信号RXTおよびRXACT、およびメインセンスアンプ活性化信号SOを順次活性化する。ラッチブロック選択信号LBS<A>は、このアドレスに含まれるブロックアドレスBS#Aにより、活性化される。ここで、ブロックデコードは、ロウアクティブコマンドRACTが与えられるとデコード動作を行なう。プリデコード5は、このブロックデコードと同様に、ロウアクティブコマンドRACTの活性化にตอบสนองしてプリデコード動作を行なってもよく、またクロック同期型の半導体記憶装置であり、ロウアクティブコマンドRACTとクロック信号CLKの立上がりとにตอบสนองしてプリデコード動作を行なうように構成されてもよい。

【0415】したがって、このラッチブロック選択信号LBS<A>が立上がると、メインの各制御信号に從ってメモリブロックMB#A（ブロックアドレスBAS#Aが指定する）においてロウアドレスデコードイネーブル信号RADE<A>、ワード線駆動タイミング信号RXT<A>およびRXACT<A>が順次活性化され、次いで、センスアンプ活性化信号SO<A>が活性化される。メインセンスアンプ活性化信号SOが活性化されると、所定時間経過後に、リフレッシュ活性化信号REF__RASが非活性化される（図32の構成参照）。

【0416】一方、このリフレッシュ活性化信号REF__RASが非活性化状態へ駆動されても、図69に示すように、セット/リセットフリップフロップ232a-232eはすべてセット状態にあり、ローカルの制御信号はすべて活性化状態を維持する。したがってこのブロックアドレスBS#Aが指定するメモリブロックMB#Aにおいては、ワード線が選択状態にあり、また、センスアンプ回路が活性化状態にあり、この選択ワード線のメモリのデータをラッチしている。

10 【0417】1つのリフレッシュ活性化信号REF__RASのパルス幅の時間が経過した後、外部から再びロウアクティブコマンドRACTを与える。このときブロックアドレスBS#Bに從ってラッチブロック選択信号LBSが活性化される。このロウアクティブコマンドRACTが活性化されると、図68に示す行系制御回路11から順次行系制御信号RADE、RXT、RXACTおよびSOが順次活性化される。応じて、このブロックアドレスBS#Bが指定するメモリブロックMB#Bにおいて、ローカルのロウアドレスデコードイネーブル信号RADE、ローカルワード線駆動タイミング信号RXTおよびRXACT、ローカルセンスアンプ活性化信号SOが活性化される。

20 【0418】ブロックアドレスBS#Aが指定するメモリブロックMB#Aにおいては、ラッチブロック選択信号LBS<A>がHレベルであり、この2回目と与えられる行系の制御信号に從って、ゲート回路230a-230dの出力信号が再びHレベルとなる。しかしながら、セット/リセットフリップフロップ232a-232eはすべてセット状態にあるため、その出力信号の状態は変化しない。

30 【0419】したがって、これらのデータ再配置時において、ロウアクティブコマンドRACTを2回与えることにより、2つのメモリブロックMB#AおよびMB#Bにおいてワード線を選択状態に維持し、対応のセンスアンプにメモリセルのデータを保持させることができる。この後、ページモードで列アドレスを与えて列選択を行ない、2つのメモリブロック間においてデータの転送を実行する。

40 【0420】データ転送が完了すると、プリチャージコマンドPRGを与えることにより、選択メモリブロックがリセット状態とされ、またアドレスラッチ回路234も、スルー状態となり、新たなアドレスを取込むことができる状態に設定される。

50 【0421】したがって、このデータ再配置時においては、リフレッシュ活性化信号REF__RASを利用して内部でパルス状に行系の制御信号を順次活性化し、これらを各指定されたメモリブロックでラッチすることにより、ノンバンク構成であっても、2つのメモリブロックにおいて、同時にワード線を選択状態に維持することができる。

【0422】このデータ再配置の後、スリープモードに入り、スリープモード指示信号 SLEEP_MODE が活性化され、ツインセル書込モードが行なわれる。このツインセル書込モード完了後、セルフリフレッシュモードに入る。セルフリフレッシュモードが終了し、スリープモードが完了するときには、逆の態様で、データの再配置が再び実行される。これはメモリコントローラにおいて、データ保持領域のアドレスと、保持が必要なデータの格納領域のアドレスの一覧表をテーブルで記憶し、このテーブルを参照して、データ保持が必要なメモリセルの領域およびデータ保持領域に対するロウアクティブコマンドを印加する。この印加順序は、いずれの領域に対するロウアクティブコマンドが先であってもよい。データ再配置書込指示信号 ϕ RGE によりデータ転送先が決定される。スリープモード完了後のデータ再配置時においては、転送先と転送元を逆にする必要がある。この場合、図 66 に示す構成を利用してデータ再配置書込指示信号を活性化する。これにより、スリープモード移行時とスリープモード完了時において、データ転送先を容易に設定することができる。なお、シフトレジスタ構成の場合、データ保持領域指定用と保持が必要なデータ格納領域指定用の 2 つのシフトレジスタを設け、スリープモード移行時には、データ保持領域指定用のシフトレジスタを使用し、スリープモード完了時には、データ保持が必要なメモリセル領域に設けられたシフトレジスタを利用するように構成してもよい。

【0423】以上のように、この発明の実施の形態 10 に従えば、スリープモード移行時において、1 ビット/1 セルモードをツインセルモードにする際に、保持すべきデータを DRAM コアの外部に読出す必要がなく、リードコマンド RAED およびアドレスを与えるだけでデータの再分配を効率的に行なうことができる。

【0424】〔実施の形態 11〕図 71 は、この発明の実施の形態 11 に従う半導体記憶装置の要部の構成を概略的に示す図である。この図 71 に示す構成においては、グローバルデータ線対 G I O P に対しデータ書込時内部書込データに従ってグローバルデータ線対 G I O P を駆動するライトドライバ 204 と、活性化時グローバルデータ線対 G I O P に現われたデータを増幅しかつラッチするプリアンプ 240 と、データ再配置書込指示信号 ϕ RGEA の活性化時導通しプリアンプ 240 のラッチデータをグローバルデータ線対 G I O P に伝達する転送ゲート 250 が設けられる。

【0425】このグローバルデータ線対 G I O P は、列選択ゲート CSG を介して共通ビット線 CBL および ZCBL に結合される。共通ビット線 CBL および ZCBL は、ビット線分離ゲート BIG を介してビット線 BL および ZBL に結合される。列選択信号 CSL は、コラムプリデコード信号 CPY とブロック選択信号 BS を受けるコラムデコーダ 200 から生成される。

【0426】この図 71 に示す構成においては、ロウ系制御回路の構成は、図 11 に示す構成と同じである。データ入出力/制御回路 202 は、また、先の実施の形態 10 と同様、再配置モード指示信号 ϕ RGM の活性化時非活性状態とされ、データの入出力は行なわない。

【0427】次に、この図 71 に示す半導体記憶装置の動作について図 72 に示す信号波形図を参照して簡単に説明する。

【0428】再配置モード指示信号 ϕ RGM がまず H レベルに設定される。この状態で、ロウアクティブコマンド RACT が与えられると、アレイ活性化信号 RRAS が活性状態へ駆動される。このアレイ活性化信号 RRAS の活性化に従って、ロウアドレス RA#0 に従って行選択動作が行なわれ、ワード線 (WL a) が選択状態へ駆動される。

【0429】続いて、リードコマンド READ を与えると、イコライズ指示信号 PAEQ が L レベルとなり、プリアンプ 240 の出力およびプリアンプ 240 の内部ノードのイコライズ動作が停止される。このリードコマンド READ に従って、コラムデコーダ 200 が活性化され、コラムアドレス CA#0 をデコードして、列選択信号 CSL を選択状態へ駆動する。応じて選択列のメモリセルデータがグローバル I O 線対 G I O P 上に読出される。グローバル I O 線対 G I O P 上にデータが読出されると、プリアンプ活性化信号 PAE が活性化され、プリアンプ 240 がこのグローバル I O 線対のデータを増幅しかつラッチする。リードコマンド RADE が与えられて所定時間経過後、列選択動作が停止する。しかしながらプリアンプイコライズ信号 PEAQ は L レベルの非活性状態を維持し、プリアンプ 240 は、その増幅データをラッチし続ける。

【0430】続いてプリチャージコマンド PRG が与えられ、アレイ活性化信号 RRAS が非活性状態へ駆動され、選択ワード線 (WL a) が非選択状態へ駆動される。応じてまたこのセンスアンプ SA も非活性状態となる。

【0431】再び、ロウアクティブコマンド RACT をアドレス RA#1 とともに与える。このとき、データ再配置書込指示信号 ϕ RGEA も活性化する。このデータ再配置書込指示信号 ϕ RGEA は、外部から与えられてもよく、また内部で、再配置モード指示信号 ϕ RGM の活性化時、2 つ目のロウアクティブコマンドにตอบสนองして活性化されてもよい。ロウアクティブコマンド RACT に従って再び、アレイ活性化信号 RRAS が活性化され、アドレス RA#1 が指定するワード線 (WL b) が選択状態へ駆動される。また、データ再配置書込指示信号 ϕ RGEA が H レベルの活性状態となり、図 71 に示す転送ゲート 250 が導通し、プリアンプ 240 がラッチしていたデータがグローバル I O 線対上に伝達される。このグローバル I O 線対 G I O P の電圧レベルは、

先のサイクルで読出されたメモリセルデータに応じて、電源電圧レベルおよび接地電圧レベルに駆動される。

【0432】再びリードコマンドREADをコラムアドレスCA#1とともに与える。すなわち、先のサイクルと同じ列を指定する列アドレスCA#0を与える。これにより、再び列選択指示信号CSLが選択状態へ駆動される。プリアンプ活性化信号PAEは活性化状態を維持しているため、この選択列に、転送ゲート250を介してグローバルIO線対を駆動し、選択列上に、先のサイクルに読出されたデータが書込まれる。

【0433】このデータ再書込が完了すると、プリチャージコマンドPRGを与え、アレイ活性化信号RRASが非活性化され、また再配置書込指示信号φRGEAも非活性化される。応じて、プリアンプ活性化信号PAEが非活性化され、プリアンプイコライズ指示信号PAEQが活性化される。すなわち、この実施の形態11においては、1ビットずつ内部でデータの転送を実行する。この場合、プリアンプ240において転送すべきデータをラッチしているため、同一メモリブロック内においても、データの再配置を行なうことができる。

【0434】なお、この図72に示す構成において、グローバルIO線対は、プリチャージコマンドPRGが与えられると、一旦電源電圧VCCレベルにプリチャージされるのではなく、図72に破線で示すように、プリアンプ活性化信号PAEが活性化状態の間は、グローバルIO線対のプリチャージ/イコライズ動作は停止されるように構成されてもよい。

【0435】図73は、図71に示すプリアンプ240の構成の一例を示す図である。図73において、プリアンプ240は、プリアンプ活性化信号PAEの活性化時活性化され、グローバルデータ線GIOおよびZGIOの信号を増幅しかつラッチするアンプラッチ240aと、プリアンプイコライズ指示信号PAEQの活性化時活性化され、出力ノード(PAO, ZPAO)を電源電圧VCCレベルにプリチャージしかつイコライズするプリチャージ/イコライズ回路240bを含む。また、プリアンプ240(アンプラッチ240a)の内部ノードは、プリアンプイコライズ指示信号PAEQの活性化時、所定電圧レベルにイコライズされる。

【0436】アンプラッチ240aの構成は、プリアンプ活性化信号PAEの活性化にตอบสนองしてこのグローバルデータ線GIOおよびZGIOのデータを増幅する増幅回路と、増幅回路の出力信号をラッチするたとえばNAND型ラッチ回路を含んでもよい。また、これに代えて、アンプラッチ240aは、プリアンプ活性化信号PAEの活性化にตอบสนองしてグローバルデータ線GIOおよびZGIOの信号を増幅する増幅回路と、プリアンプイコライズ指示信号PAEQの活性化にตอบสนองして活性化されてこの増幅回路の出力信号をラッチするラッチ回路とを含んでもよい。いずれの構成が設けられてもよい。

【0437】図74は、プリアンプ制御部の構成を概略的に示す図である。図74において、プリアンプ制御部は、クロック信号CLKとリードコマンドREADを受けるAND回路260と、AND回路260の出力信号を所定時間遅延する遅延回路261と、遅延回路261からの出力信号PAEFの活性化にตอบสนองしてセットされてプリアンプ活性化信号PAEを活性化するセット/リセットフリップフロップ262と、リードコマンドREADの活性化にตอบสนองしてリセットされ、プリアンプイコライズ指示信号PAEQを非活性化するセット/リセットフリップフロップ263と、プリアンプ活性化信号PAEを所定時間遅延する遅延回路264と、遅延回路264の出力信号と再配置モード指示信号φRGMとを受けるゲート回路265と、データ再配置書込指示信号φRGEAの立下がりにตอบสนองしてワンショットのパルス信号を発生するワンショットパルス発生回路266と、ワンショットパルス発生回路266からのパルス信号とゲート回路265の出力信号とを受けるOR回路を含む。このOR回路267の出力信号に従ってセット/リセットフリップフロップ262がリセットされ、またセット/リセットフリップフロップ263がセットされる。

【0438】この図74に示すプリアンプ制御部の構成においては、クロック信号CLKに同期して、リードコマンドREADが取込まれ、内部読出動作指示信号が生成される。遅延回路261によりいわゆる「レイテンシ」を考慮した時間が経過後に、遅延回路261の出力信号PAEFが活性化され、応じてプリアンプ活性化信号PAEが活性化される。このプリアンプPAEの活性化時においては既に列選択信号CALは、選択状態へ駆動されている。

【0439】一方、リードコマンドREADに従ってセット/リセットフリップフロップ263がリセットされ、プリアンプに対するイコライズ信号PAEQが非活性化状態となる。

【0440】通常動作時においては、ゲート回路265は、バッファ回路として動作し、この遅延回路264の出力信号に従ってHレベルの信号を出力する。また、通常動作時においては、データ再配置書込指示信号φRGEAは、Lレベルに固定されており、したがって、プリアンプ活性化信号PAEが活性化されて所定時間経過すると、セット/リセットフリップフロップ262がリセットされてプリアンプ活性化信号PAEが非活性化される。また、セット/リセットフリップフロップ263がセットされ、プリアンプイコライズ指示信号PAEQが活性化状態へ駆動される。

【0441】データ再配置時においては、再配置モード指示信号φRGMがHレベルであり、ゲート回路265の出力信号はLレベルに設定される。したがって、プリアンプ活性化信号PAEがリードコマンドREADに従って活性化された後、データ再配置書込指示信号φRG

EAが非活性状態となるまで、このプリアンプ活性化信号PAEは活性状態を維持し、メモリセルから読出されたデータをラッチする。一方、プリアンプイコライズ信号PAEQは、このリードコマンドRAEDが与えられると非活性状態となり、次にデータ再配置書込指示信号φRGEAが非活性化されるまで、その非活性状態を維持する。

【0442】列アドレスについては、リードコマンドまたはライトコマンドが与えられるとコラムアドレスデコードイネーブル信号CADEが活性化され、列アドレスのプリデコードが行なわれる。このコラムアドレスデコードイネーブル信号CADEは、また、ローカル制御回路へ与えられ、コラムデコードにおいてプリデコード信号のデコードが行なわれてもよい。すなわち、コラムデコードへコラムアドレスデコードイネーブル信号CADEが与えられてもよい。なお、データ再配置書込指示信号φRGEAは、全メモリブロックに共通であり、外部から与えられるか、または内部で2回目のロウアクティブコマンドRACTに従って活性化される。この場合には、プリチャージコマンドPRGによりデータ再配置書込指示信号φRGEAが非活性化される。

【0443】以上のように、この発明の実施の形態11に従えば、プリアンプを利用して、データ再配置時グローバルデータ線対へデータをフィードバックしており、同一メモリブロック内においても異なる行のメモリセルの間でデータの転送を行なうことができる。

【0444】【実施の形態12】図75は、この発明の実施の形態12に従う半導体記憶装置のローカル制御回路LCTLの要部の構成を概略的に示す図である。この実施の形態12におけるローカルロウ系制御回路の構成は、先の実施の形態10において用いられたローカルロウ系制御回路(図69参照)の構成と同じであり、したがってグローバルデータ線対GIOpと、再配置データ線対GRAPが用いられる。

【0445】図75において、ローカル制御回路LCTLは、ブロック選択信号BS<i>と外部から与えられる再配置書込指示信号φRGEFを受けるAND回路270と、AND回路270の出力信号の活性化にตอบสนองしてセットされて、ローカルなデータ再配置書込指示信号φRGE<i>を生成するセット/リセットフリップフロップ274と、コラムプリデコード信号CPYの数をカウントし、このカウント値が所定値(16)に到達するとセット/リセットフリップフロップ274をリセットするカウンタ272と、ローカルデータ再配置書込指示信号φRGE<i>と図69に示すセット/リセットフリップフロップ232dからのラッチサブワード線駆動タイミング信号LRXACT<i>とを受けて、ローカルサブワード線駆動タイミング信号RXACT<i>を生成するゲート回路276を含む。

【0446】このゲート回路276は、ローカルデータ

再配置書込指示信号φRGE<i>がHレベルのときには、サブワード線駆動タイミング信号RXACT<i>を非活性状態に維持する。したがって、ローカル制御回路LCTLにおいては、ロウアクティブコマンドに従って行選択が行なわれる場合、メインワード線が選択されてセンスアンプは活性化されても、サブワード線は非選択状態を維持する。次に、この発明の実施の形態12に従う半導体記憶装置のデータ再配置動作について図76に示すタイミングチャート図を参照して説明する。

【0447】まず、外部からロウアクティブコマンドRACTが与えられる。このとき、図示しないロウアドレスに従って、アドレス指定されたメモリブロックにおいてワード線WL aが選択状態へ駆動される。このワード線WL aは、メインワード線およびサブワード線SWLを含む。選択行のメモリセルのデータの検知、および増幅が行なわれる。

【0448】続いて、再びロウアクティブコマンドRACTが与えられ、データ保持領域の転送先のメモリブロックが指定される。この転送先のメモリブロックにおいては、同時に与えられる再配置書込指示信号φRGEFの活性化に従って、ローカルデータ再配置書込指示信号φRGE<i>が活性状態となり、サブワード線駆動タイミング信号RXACT<i>は、非選択状態を維持する。したがって、この転送先のメモリブロックにおいては、デコード動作が行なわれ、メインワード線MWLは選択状態へ駆動されるもののサブワード線SWLは非活性状態を維持する。続いて所定のタイミングでセンスアンプ活性化信号SO bが活性化され、センスアンプは、それぞれの動作特性に応じたデータをラッチする。すなわち、対応の転送先のメモリブロックにおいては、センスアンプ活性化信号SO bの活性化時、センスアンプの保持データは、センスアンプの動作特性に応じたデータとなる。

【0449】続いて外部からリードコマンドRAEDが与えられ、列選択動作が行なわれる。したがって、この選択ワード線WL aに接続されるメモリセルデータが、図60に示すプリアンプ206および転送バッファ208を介して転送先のメモリブロックへ伝達されてセンスアンプにラッチされる。このリードコマンドを所定数与えて、1行のメモリセルのデータの転送が完了すると、カウンタ272がカウントアップ信号を出力し、セット/リセットフリップフロップ274がリセットされて、ローカルのデータ再配置書込指示信号φRGE<i>が非活性状態となる。このローカルデータ再配置書込指示信号φRGE<i>が非活性化されると、1行のデータの転送が完了したことが示される。転送先のメモリブロックに対しては、センスアンプが転送データをラッチしている。したがって、次いでこのローカルデータ再配置書込指示信号φRGE<i>の非活性化にตอบสนองして、図75に示すゲート回路276からのサブワード線駆動タ

イミング信号 $RXACT<i>$ が活性状態へ駆動され、サブワード線が選択状態となり、この選択行に対応するサブワード線に接続されるメモリセルに、センスアンプがラッチするデータが書込まれる。これにより、データ保持領域の 1 行のメモリセルへのデータの転送が完了する。

【0450】続いて、所定時間経過後、外部からプリチャージコマンド PRG を与えることにより、これらの選択ワード線およびセンスアンプを非活性状態へ駆動する。

【0451】この図 76 に示す構成の場合、転送先（データ保持領域）のメモリブロックのセンスアンプ回路を活性化して転送データをラッチしている。したがって、同じセンスアンプ帯に対してデータの転送を行なうことができる。転送先のメモリブロックにおいては、ワード線（またはサブワード線）が非選択状態であり、隣接メモリブロック間においても、データの転送を行なうことができる。したがって、データ保持領域と保持が必要なデータの格納領域との対応関係をより柔軟に設定することができる。

【0452】なお、この図 76 に示す信号波形において、転送先においては、メインワード線 MWL を選択状態へ駆動している。しかしながら、このメインワード線 MWL は、サブワード線と同じタイミングで活性化されるように構成されてもよい。これは、単にローカルデータ再配置書込指示信号 $\phi RGE<i>$ をメインワード線駆動タイミング信号 $RXT<i>$ と組合せることにより容易に実現される。

【0453】この発明の実施の形態 12 において、スリープモード完了時においては、逆の手順でデータの転送が行なわれる。この場合、データ保持領域のデータをまず読出してセンスアンプ回路にラッチし、続いて保持が必要なデータを格納する元のメモリブロックにおいてセンスアンプを活性化する。この場合、外部からの再配置書込指示信号 $\phi RGEF$ をブロック選択信号 $BS<i>$ と組合せているため、容易にこの転送元および転送先のメモリブロックを指定することができる。

【0454】なお、図 75 に示す構成においては、カウンタ 272 は、コラムプリデコード信号 CPY の数をカウントしている。これらのプリデコード信号 CPY は、一旦リセット状態となると、その信号はすべて L レベルであり、全プリデコード信号すべての OR 結果の信号の立上りをカウントすることにより、容易にプリデコード信号の数をカウントすることができる。これに代えて、コラムデコーダのデコード動作回数をカウントするために、コラムアドレスデコードイネーブル信号 $CAD E$ の活性化の数またはリードコマンド $READ$ の数をカウントするように構成されてもよい。

【0455】以上のように、この発明の実施の形態 12 に従えば、内部で転送先のメモリブロックのワード線

（メインワード線／サブワード線）を非選択状態にしてデータ転送を行ない、データ転送完了後、転送先のメモリブロックのワード線（メインワード線／サブワード線）を選択状態へ駆動しており、隣接するメモリブロック間においてもデータ転送を行なうことができ、保持すべきデータの格納領域とデータ保持領域との対応関係を柔軟に設定することができる。

【0456】〔実施の形態 13〕図 77 は、この発明の実施の形態 13 に従う半導体記憶装置の要部の構成を概略的に示す図である。この図 77 に示す構成においては、図 71 に示す構成に加えて、さらに以下の構成が設けられる。すなわち、コラムデコーダ 200 に対し、コラムプリデコード信号 CPY の立上りを遅延する立上がり遅延回路 280 と、データ再配置書込指示信号 $\phi RGE<i>$ ($=\phi RGE<i>, j>$) に従ってコラムプリデコード信号 CPY および立上がり遅延回路 280 の出力信号の一方を選択する選択回路 282 が設けられる。この選択回路 282 からの信号がコラムデコーダ 200 へ与えられる。ローカルデータ再配置書込指示信号 $\phi RGE<i>$ は、図 64 または図 66 に示す構成から生成されてもよい。

【0457】データ再配置時においては、この選択回路 282 が、立上がり遅延回路 280 の出力信号を選択し、データ再配置書込指示信号 $\phi RGE<i>$ が非選択状態のときにはこの選択回路 282 は、コラムプリデコード信号 CPY を選択する。したがって、データ保持領域においては、コラムプリデコード信号 CPY がリセット状態から状態が変化して遅延回路 280 の有する遅延時間が経過した後に、コラムデコーダ 200 がデコード動作を行なう。

【0458】一方、転送ゲート 250 に対し、プリアンプ活性化信号 PAE の立上がり（活性化）を所定時間遅延する立上がり遅延回路 284 と、立上がり遅延回路 284 の出力信号と再配置モード指示信号 ϕRGM を受ける AND 回路 286 が設けられる。 AND 回路 286 の出力信号が H レベルの活性状態となる転送ゲート 250 が導通状態となる。次に、この図 77 に示す構成の動作を図 78 に示す信号波形図を参照して説明する。

【0459】まず、ロウアクティブコマンド $RAC T$ が与えられると、保持が必要なデータのメモリブロックにおいてワード線 $WL a$ が選択状態へ駆動され、対応のセンスアンプが活性化される。続いて、ロウアクティブコマンド $RAC T$ を与える。この場合、先の図 75 に示す構成と同様、ワード線 $WL b$ は非選択状態を維持する。対応のセンスアンプ SA は活性化される。

【0460】続いてリードコマンド $READ$ を与えると、そのときのコラムアドレスに従ってコラムプリデコード信号 CPY が生成される。このコラムプリデコード信号 CPY に従って、ワード線 $WL a$ を含むメモリブロックにおいて、コラムデコーダ 200 がデコード動作を

行ない、列選択信号CSLaを選択状態へ駆動する。応じて、グローバルデータ線対GIOpにメモリセルデータが読出される。

【0461】次いで、プリアンプ活性化信号PAEが活性化され、プリアンプ240がグローバルデータ線対GIOpのデータを増幅する。立上がり遅延回路284が有する遅延時間が経過すると、AND回路286の出力信号がHレベルとなり、転送ゲート250が導通し、このプリアンプ240により増幅されてラッチされたデータにより再びグローバルデータ線対GIOpが駆動され、その電圧レベルがCMOSレベルにまで拡大される。

【0462】選択回路282が、立上がり遅延回路280からのコラムプリデコード信号CPYを選択してコラムデコーダ200へ与える。データ保持領域においてコラムデコーダ200によるデコード動作により、列選択信号CSLbが選択状態となり、対応の列のセンスアンプにグローバルデータ線対GIOpのデータがラッチされる。1つのリードサイクルが完了すると、コラムプリデコード信号CPYが非選択状態のLレベルとなり1つのデータ転送サイクルが完了する。続いて再びリードコマンドREADを与えると、同様、まず列選択信号CSLaおよびCSLbが順次選択状態へ駆動され、またプリアンプ活性化信号PAEが活性化されて、これらの選択列の間でデータの転送が行なわれる。

【0463】立上がり遅延回路284および280の有する遅延時間は、適当に定められればよい。プリアンプ240により増幅されかつラッチされたデータにより、グローバルデータ線対GIOpの電圧レベルが、電源電圧VCCレベルおよび接地電圧VSSレベルに拡大してから、列選択信号CSLbが選択状態へ駆動されるのが望ましい。グローバルデータ線対GIOpの電圧レベル差が小さいときに2つのセンスアンプにより逆方向にグローバルデータ線対GIOpを駆動した場合、データの衝突が生じるためである。したがって、好ましくは、立上がり遅延回路284の有する遅延時間は、立上がり遅延回路280の有する遅延時間よりも短くする。

【0464】なお、ロウ系制御回路の構成としては、先の図75に示す構成を利用する。必要回数、すなわち1行のメモリセルのデータの転送回数をリードコマンドまたはコラムプリデコード信号の印加回数によりカウントする。1行のメモリセルに対するデータ転送が完了すると、ワード線WLbが選択状態へ駆動されて、センスアンプ回路にラッチされたデータが、選択メモリセルに書込まれる。最終的にプリチャージコマンドPRGを与えることにより、選択メモリブロックが非選択状態へ駆動される。

【0465】この発明の実施の形態13の構成の場合、2つのメモリブロックにおいて列選択を同時に行なう必要がなく、グローバルデータ線対のデータが十分に拡大

された後に、データ保持領域のメモリブロックの列選択を行なうことにより、正確に、データをデータ保持領域のメモリブロックへ書込むことができ、より正確なデータ転送を実現することができる。また、データ再配置のために専用のデータ線対を設ける必要がなく、配線占有面積が低減される。

【0466】なお、この1行のデータの転送が完了するまでデータ保持領域においてワード線(サブワード線)を非選択状態に維持しデータ転送完了後にワード線を選択状態へ駆動する構成は、実施の形態10においても適用することができる。この構成を実施の形態10に適用した場合、センスアンプを共有する隣接メモリブロック間でもデータの転送をすることができる。

【0467】[実施の形態14]図79は、この発明の実施の形態14に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。この図79に示す構成においては、共通ビット線CBLおよびZCBLに対し、読出列選択ゲートRCSGおよび書込列選択ゲートWCSGが接続される。共通ビット線CBLおよびZCBLには、さらに、読出アンプRAMPが設けられる。この読出アンプRAMPは、共通ビット線CBLおよびZCBLにそれぞれゲートが結合される差動トランジスタ対を含む。この読出アンプのトランジスタのドレインが、読出列選択ゲートRCSGのトランスファゲートにそれぞれ結合される。

【0468】内部データ線対として、読出データを転送するためのリードデータ線対GROPと、書込データを転送する書込データ線対GWIPが設けられる。読出データ線対GROPは、相補データ線ZGROおよびGROを含み、書込データ線対GWIPは、書込データ線ZGWIおよびGWIを含む。

【0469】したがって、この図79に示す構成においては、通常動作モード時、データの書込および読出がそれぞれ別々の経路を介して実行される。この経路を利用して、内部でデータの転送を実行する。読出データ線対GROPに対してはプリアンプ206が設けられ、書込データ線対GWIPに対してはライトドライバ204が設けられる。このプリアンプ206の相補出力信号PAOおよびZPAOを、再配置モード指示信号φRGMの活性化時ライトデータ線対GWIPに転送する転送回路208が設けられる。データ保持領域においては、書込列選択ゲートWCSLを介してデータの書込を行ない、転送元のメモリブロックからは、リードアンプRAMPおよびリード列選択ゲートRCSGを介してデータが、リードデータ線対GROP上に読出される。

【0470】したがって、「IO分離」構成において、単に転送回路208を設けることにより、データの再配置を実行することができる。

【0471】図80は、1つのセンスアンプ帯に対するコラムデコーダの構成を概略的に示す図である。図80

において、コラムデコーダは、リードコラムプリデコード信号 RCPY とブロック選択信号 BS とデータ再配置書込指示信号 $\phi RGE<i>$ ($=\phi RGE<i, j>$) を受けるリードコラムデコーダ 290 と、データ再配置書込指示信号 $\phi RGE<i>$ に従ってリードコラムプリデコード信号 RCPY およびライトコラムプリデコード信号 WCPY の一方を選択する選択回路 292 と、ブロック選択信号 BS と選択回路 292 からのプリデコード信号とデータ再配置書込指示信号 $\phi RGE<i>$ を受けて書込列選択信号 WCSL を生成するライトコラムデコーダ 294 を含む。

【0472】ブロック選択信号 BS は、対応のセンスアンプ帯を使用するメモリブロックに対するブロック選択信号の論理和の信号である。図 80 においては、データ再配置書込指示信号 $\phi RGE<i>$ を示すが、このデータ再配置書込指示信号 $\phi RGE<i>$ は、当然、このセンスアンプ帯を共有するメモリブロックの論理和の信号である。

【0473】データ再配置時においては、選択回路 292 はリードコラムプリデコード信号 RCPY を選択し、それ以外のときには、この選択回路 292 はライトコラムプリデコード信号 WCPY を選択する。データ再配置動作時においては、リードコラムデコーダ 290 はディスエーブルされ、読出列選択信号 RCSL は非選択状態を維持する。すなわちデータ保持領域においては、読出列選択ゲート RCSG は非導通状態を維持する。このときには、リードコラムプリデコード信号 RCPY に従ってライトコラムデコーダ 294 が動作し、書込列選択信号 WCSL を選択状態へ駆動する。保持すべきデータを格納する領域においては、対応のリードコラムデコーダ 290 が活性化される。これは、データ再配置書込指示信号 $\phi RGE<i>$ は、転送元のメモリブロックに対しては非選択状態を維持するためである。次に、動作について簡単に図 81 に示すタイミングチャート図を参照して説明する。

【0474】まずロウアクティブコマンド RACT を 2 回連続して与えて、データ転送元のメモリブロックにおいてワード線 WL a を選択状態へ駆動する。一方、データ転送先のメモリブロック（データ保持領域）においては、ロウデコード動作は行なわれるものの、ワード線 WL b は非選択状態を維持する。対応のセンスアンプ SA は活性状態へ駆動される。

【0475】この 2 回目のロウアクティブコマンド印加時においては、データ再配置書込指示信号 $\phi RGE<i>$ が活性状態へ駆動される。続いて、まずリードコマンド READ を与えると、リードコラムプリデコード信号 RCPY が選択状態に与えられたコラムアドレスに従って駆動される。データ転送元のメモリブロックにおいては、データ再配置書込指示信号 ϕRGE は L レベルの非活性状態であるため、リードコラムデコーダ 290 がデ

コード動作を行ない、このリードコラムプリデコード信号 RCPY に従ってリード列選択信号 RCS0 を選択状態へ駆動する。応じて読出列選択ゲート RCSG が導通し、リードアンプ RAMP により、共通ビット線 CBL および ZCBL においてラッチされたメモリセルデータが、リードデータ線対 GROP 上に読出される。この信号電位が十分拡大されると、プリアンプ活性化信号 PAE が活性化され、プリアンプ 206 が動作する。転送バッファ 208 は、この再配置モード指示信号 ϕRGM が H レベルであるため、プリアンプ 206 からの相補データ PAO および ZPAO を、ライトデータ線対 GWIP に伝達する。したがってライトデータ線対 GWIP のデータが、この転送されたメモリセルデータに応じて変化する。ライトドライバ 204 は、再配置モード指示信号 ϕRGM が H レベルの活性状態にあるため非活性状態を維持する。

【0476】データ保持領域においては、選択回路 292 が、データ再配置書込指示信号 $\phi RGE<i>$ に従ってリードコラムプリデコード信号 RCPY を選択し、またデータ再配置書込指示信号 $\phi RGE<i>$ が H レベルであるため、ライトコラムデコーダ 294 が動作し、書込列選択信号 WCSL を選択状態へ駆動する。応じて、センスアンプ SA のラッチデータが、転送されたデータに応じて変化する。以降、この動作を繰返し実行し、1 行のデータ転送を行なう。1 行のデータ転送完了後、その完了指示（コラムプリデコード信号の印加回数またはリードコマンド READ の印加回数をカウントする）に従って、ワード線（サブワード線）WL b が選択状態へ駆動され、選択ワード線 WL b に接続されるメモリセルへの 1 行のデータの再書込が実行される。

【0477】したがって、このリードデータおよびライトデータのパスが別々が設けられている構成の場合、内部データ線構造を何ら変更することなく、容易に内部でデータ転送を実行することができる。

【0478】このデータ転送構成においても、センスアンプ帯を共有するメモリブロック間でデータ転送を行なうことができる。

【0479】図 82 は、コラムプリデコード信号発生回路の構成を概略的に示す図である。図 82 において、コラムプリデコード信号発生部は、外部からのアドレス信号 ADD をコラムアドレスラッチイネーブル信号 CAL に同期して取込むコラムアドレス入力回路 300 と、コラムアドレス入力回路 300 からのアドレス信号をコラムアドレスデコードイネーブル信号 CADE に従ってプリデコードするコラムプリデコーダ 302 と、読出動作指示信号 $\phi READ$ に従ってコラムプリデコーダ 302 からのプリデコード信号を選択してリードコラムプリデコード信号 RCPY を生成するリードコラム伝達回路 304 と、書込動作モード指示信号 $\phi WRITE$ に従ってコラムプリデコーダ 302 からのプリデコード信号を選

択してライトコラムプリデコード信号WCPYを生成するライトコラム伝達回路303を含む。これらのライトコラム伝達回路303およびリードコラム伝達回路304は、それぞれ、書込モード指示信号φWRITEおよび読出モード指示信号φREADの活性化時、コラムプリデコード302からのプリデコード信号を選択する。

【0480】これらの書込モード指示信号φWRITEおよび読出モード指示信号φREADは、それぞれライトコマンドWRITEおよびリードコマンドREADに従って所定期間活性化される。コラムアドレスラッチイネーブル信号およびコラムアドレスデコードイネーブル信号CADEは、ライトコマンドWRITEおよびリードコマンドREADのいずれかが与えられたときに、活性化される。このコラムアドレス入力回路300へは、コラムアドレスラッチイネーブル信号かCALに代えて、たとえばシステムクロックであるクロック信号CLOCKが与えられ、クロック信号CLOCKの立上がりにより同期してコラムアドレス入力回路300が、ラッチ状態となるように構成されてもよい。次に、図82に示すコラムプリデコード信号発生部の動作について図83に示すタイミング図を参照して説明する。

【0481】まず、外部からリードコマンドREADがアドレス信号ADDとともに与えられる。このリードコマンドREADに従って、コラムアドレスデコードイネーブル信号CADEが活性化される。コラムアドレス入力回路300は、コラムアドレスラッチイネーブル信号CALがLレベルであり、スルー状態にあり、この外部からのアドレス信号ADDをコラムプリデコード302へ与える。したがって、コラムプリデコード302は、このリードコマンドREADが与えられるとプリデコード動作を行なってコラムプリデコード信号CPYを生成する。

【0482】また、このリードコマンドREADに従って読出動作モード指示信号φREADが活性化され、リードコラム伝達回路304が、コラムプリデコード信号CPYに従って、リードコラムプリデコード信号RCPYを生成して、各ローカル制御回路へ与える。リードコマンドREADが与えられてから、クロック信号CLOCK(CLOCK)が立上がると、コラムアドレスラッチ信号CALがHレベルの活性状態となり、コラムアドレス入力回路300がラッチ状態となる。

【0483】読出動作モード指示信号φREADが、所定期間経過するとLレベルの非活性状態となり、応じて、コラムアドレスラッチ信号CALおよびコラムアドレスデコードイネーブル信号CADEがLレベルの非活性状態となり、プリデコード信号CPYがリセットされ、応じてリードコラムプリデコード信号RCPYのリセットされる。

【0484】一方、ライトコマンドWRITEが与えられると、このライトコマンドWRITEに従って、書込

動作モード指示信号φWRITEがHレベルの活性状態となり、応じてコラムプリデコード302が、コラムアドレスデコードイネーブル信号に従ってコラムアドレス入力回路300から与えられたアドレスADD(Y1)をプリデコードし、コラムプリデコード信号CPYを生成する。

【0485】クロック信号CLKが立上がると、コラムアドレスラッチ信号CALがHレベルとなり、コラムアドレス入力回路300が、ラッチ状態となる。書込動作モード指示信号φWRITEがHレベルであるため、ライトコラム伝達回路303が、コラムプリデコード302からのコラムプリデコード信号CPYを選択してライトコマンドWRITEの印加時においても、書込動作モード指示信号φWRITEは、所定期間経過後Lレベルとなる。

【0486】したがって、この図82に示す構成においては、コラムプリデコード信号CPYは、クロック信号CLOCK(CLK)が立上がる前に生成されており、内部のローカル制御回路やクロック信号CLOCK(CLK)に同期して動作する前にプリデコード信号は、活性状態にあり、早いタイミングで列選択動作を行なうことができる。

【0487】図84は、このコラム系制御信号発生部の構成の一例を概略的に示す図である。図84において、コラム系制御信号発生部は、リードコマンドREADの活性化にตอบสนองしてセットされて読出動作モード指示信号φREADを生成するセット/リセットフリップフロップ310と、ライトコマンドWRITEの活性化にตอบสนองしてセットされて書込動作モード指示信号φWRITEを生成するセット/リセットフリップフロップ312と、書込動作モード指示信号φWRITEと読出動作モード指示信号φREADの一方の活性化に従ってコラムアドレスデコードイネーブル信号CADEを生成するCADE発生回路314と、クロック信号CLK(CLOCK)とコラムアドレスデコードイネーブル信号CADEがHレベルとなるとコラムアドレスラッチ信号CALを生成するCAL発生回路316と、書込動作モード指示信号φWRITEおよび読出動作モード指示信号φREADを受けるOR回路318と、OR回路318の出力信号を遅延する遅延回路319を含む。この遅延回路319の出力信号が立上がると、セット/リセットフリップフロップ310および312はリセットされる。また、この遅延回路319の有する遅延時間により、コラム選択期間が決定される。

【0488】CADE発生回路314は、たとえば、読出動作モード指示信号φREADと書込動作モード指示信号φWRITEを受けるOR回路により構成される。CAL発生回路316は、たとえば、コラムアドレスデコードイネーブル信号CADEとクロック信号CLKが

ともにHレベルとなるとセットされるセット/リセットフリップフロップで構成される。この場合、CAL発生回路316は、遅延回路319の出力信号によりリセットされる。

【0489】なお、この図84に示すコラム系制御信号発生部は、メイン制御回路内に設けられる。コラムアドレスデコードイネーブル信号CADEが、ローカル制御回路のコラムデコーダへ与えられて、このコラムアドレスデコードイネーブル信号CADEに従って、ローカル制御回路のコラムデコーダがデコード動作を行なうように構成されてもよい。

【0490】以上のように、この発明の実施の形態14に従えば、データ読出経路とデータ書込経路が異なるIO分離構成において、これらの書込データバスおよび読出データバスを利用して内部でデータの転送を行なってデータ再配置を行なっており、データ再配置のための余分の構成を転送回路を除いて新たに追加する必要がなく、チップ面積の増大を抑制することができる。

【0491】【実施の形態15】図85は、この発明の実施の形態15に従うコラムプリデコード信号発生部の構成を概略的に示す図である。

【0492】この図85において、コラムプリデコード信号発生部は、再配置モード指示信号φRGMの活性化時活性化され、リードコマンドREADをカウントするカウンタ320と、コラムアドレス入力回路300からの内部コラムアドレスとカウンタ320からのカウント値の一方を、再配置モード指示信号φRGMに従って選択する選択回路322と、選択回路322からの信号をプリデコードしてコラムプリデコード信号CPYを生成するコラムプリデコーダ302を含む。

【0493】カウンタ320は、1行の列アドレスの数にそのカウント値が到達すると初期値にリセットされる。たとえば1つのグローバルデータ線対に対し、16列が存在する場合、列アドレスの数は16個である。この場合、4ビットカウンタを利用して、“0000”から“1111”までカウンタ320がカウントする。このカウント値を、データ再配置時のコラムアドレスとして利用する。コラムアドレス入力回路300は、このデータ再配置動作時においては、再配置モード指示信号φRGMに従ってその動作が停止される。このコラムアドレス入力回路300がスルー状態/ラッチ状態となるのを防止して、消費電流を低減する。

【0494】この選択回路322は、データ再配置モード時においては、カウンタ320からのカウント値を選択し、それ以外の動作モード時においてはコラムアドレス入力回路300からの内部コラムアドレスを選択する。したがって、このデータ再配置時、内部でコラムアドレスを生成することにより、外部のメモリコントローラからコラムアドレスを印加する必要がなく、信号線の充放電を行なう必要がなく、消費電流を低減する。ま

た、このカウンタ320からのカウントアップ信号をローカル制御回路へ与えることにより、実施の形態12から14においてデータ保持領域において、サブワード線を選択状態へ駆動するタイミングを1行のデータ転送完了まで遅らせる構成に利用することができる。

【0495】なお、コラムプリデコーダ302からのコラムプリデコード信号CPYは、ローカル制御回路へ与えられてもよく、IO分離構成のように、図82に示すリードコラム伝達回路304およびライトコラム伝達回路303へ与えられて、リードコラムプリデコード信号およびライトコラムプリデコード信号が生成されてもよい。したがってこの図85に示す構成は、先の実施の形態10から実施の形態14のいずれにも適用することができる。

【0496】以上のように、この発明の実施の形態15に従えば、データ再配置モード時においては、カウンタを利用して、内部のコラムアドレスを生成するようにしており、外部のメモリコントローラからコラムアドレスを伝達する必要がなく、信号線充放電電流を低減でき、消費電流を低減することができる。

【0497】なお上述の実施の形態10から15において、このデータ再配置モードが完了するとスリープモードに入り、ツインセルフ書込モードが実行される。スリープモード完了時においては、これらのデータ再配置と逆の動作すなわちロウアドレスをデータ転送先およびデータ転送元を逆にしてデータ再配置を実行する。これはすなわち、ノーマルモードからスリープモードへの移行時においては、図86に示すように、まず再配置モード指示信号φRGMを活性状態として、データの再配置を行なうスリープモードエントリモードが実行される。このデータ再配置が完了すると、スリープモードに入り、スリープモード指示信号SLEEP_MODEが活性化される。スリープモード完了後、スリープモード指示信号SLEEP_MODEを非活性状態とした後、再配置モード指示信号φRGMを活性化して、データ転送先およびデータ転送元のロウアドレスを逆にして、スリープモードエントリモード時の動作と同じ動作が実行される。これにより、スリープモードを完了するスリープモードイグジットモードが行なわれる。このスリープモードイグジットモードサイクルが完了すると、通常のデータアクセスを行なうノーマルモードに入る。

【0498】【実施の形態16】先に図20を参照して説明したように、1つのメモリマットにおいて、データ保持領域を、メモリアレイ単位で設定することができる。しかしながら、先に図50を参照して説明したように、サブワード線SWLとビット線BL（またはZBL）の間にマイクロショートが多数存在した場合、通常動作モード時のデータアクセスが可能であっても、スリープモード時の消費電流を低減することができなくなる可能性がある。そこで、このようなマイクロショート

存在するメモリアレイを排除して、スタンバイ電流の小さなメモリアレイのみをデータ保持領域として利用する。

【0499】図87は、この発明の実施の形態16に従う半導体記憶装置のメモリマットのデータ保持領域を概略的に示す図である。図87において、1つのメモリマットにおいては、図20に示す構成と同様、8個のメモリアレイMA0-MA7が配置される。デフォルト値として、3ビットロウアドレスRA<3:0>のうち、ロウアドレスビットRA<11>が“0”の領域、すなわちメモリアレイMA0-MA3が、データ保持領域として定められる。ロウアドレスビットRA<11>が“1”であるメモリアレイMA4-MA7は、このデフォルト状態においては、スリープモードなどのツインセルモードでデータ保持を行なう場合、スタンバイ状態におかれる。

【0500】いま、メモリアレイMA2が、サブワード線とビット線とのマイクロショートが数多く存在する場合を考える。これらのマイクロショートZRが存在しても、通常のデータアクセス時のデータ記憶には支障はもたらさないものの、ビット線はスタンバイ状態時、中間電圧レベルに保持されるため、これらのマイクロショートを通じてリーク電流が流れる、スリープモード時などのデータ保持モード時において消費電流が高くなる。この場合、リーク不良のメモリアレイMA2に代えて、他のたとえば正常なメモリアレイMA5を、データ保持領域として利用する。したがって、メモリアレイMA0、MA1、MA3およびMA5をデータ保持領域として利用し、スリープモードなどのデータ保持モード時においては、このメモリアレイMA2への電圧（ビット線プリチャージ/イコライズ電圧）の供給は停止する。これにより、メモリアレイMA2におけるマイクロショートに起因するリーク電流を低減して、スリープモードなどのデータ保持モード時における消費電流を低減する。

【0501】このデータ保持領域の特定は、たとえば図21に示す構成を利用して、中央の制御回路（図58に示すメイン制御回路）に含まれるリフレッシュカウンタから発生されるリフレッシュアドレスに含まれるロウアドレス（ブロックアドレス）により行なわれる。

【0502】図88は、この発明の実施の形態16に従う半導体記憶装置の要部の構成を概略的に示す図である。図88において、メモリマットMM内に、8個のメモリアレイMA0-MA7が配置される。このメモリマットMMに隣接して、ロウデコーダ、コラムデコーダおよびローカル制御回路を含むロウ/コラムデコーダ帯RCDBが配置される。

【0503】中央の主制御回路MCTL内に設けられるブロックデコード回路4からのブロック選択信号BSF<7:0>が、ブロック変更回路400を介してロウ/コラムデコーダ帯RCDBへ伝達される。このブロック

変更回路400は、スリープモード指示信号SLEEP_MODEの活性化時、ブロックデコード回路4からのブロック選択信号BSF<7:0>とロウ/コラムデコーダ帯RCDBに伝達されるブロック選択信号BS<7:0>の対応関係をメモリブロック単位で変更し、スリープモードなどのデータ保持モード時におけるデータ保持領域を変更する。

【0504】ブロック変更回路400は、スリープモード指示信号SLEEP_MODEが非活性状態のときには、ブロックデコード回路4からのブロック選択信号BSF<7:0>をブロック選択信号BS<7:0>として修正することなくロウ/コラムデコーダ帯RCDBに伝達する。

【0505】図89は、図88に示すブロック変更回路400の構成の一例を示す図である。図89において、ブロック変更回路400は、ブロックデコード回路4からのブロック選択信号BSF<7:0>それぞれに対応して設けられ、対応のブロック選択信号BSF<7:0>のスリープモード時の転送先を決定するヒューズ回路FCK0-FCK7と、スリープモード指示信号SLEEP_MODEにตอบสนองしてブロック選択信号BSF<7:0>と対応のヒューズ回路FCK7-FCK0の出力信号の一方を選択してブロック選択信号BS<7:0>を生成するマルチプレクサMXX7-MXX0とを含む。ヒューズ回路FCK0-FCK7は、内部の熔断可能なリンク素子により、その対応のブロック選択信号の接続経路が決定される。

【0506】マルチプレクサMXX0-MXX7は、スリープモード指示信号SLEEP_MODEがLレベルのときには、それらの入力AN0-AN7に与えられるブロックデコード回路からのブロック選択信号BSF<0>-BSF<7>を選択して、ブロック選択信号BS<0>-BS<7>を生成する。一方、スリープモード指示信号SLEEP_MODEがHレベルとなると、マルチプレクサMXX0-MXX7は、ヒューズ回路FCK0-FCK7を介してそれらの入力AS0-AS7に与えられる信号を選択して、ブロック選択信号BS<0>-BS<7>を生成する。このヒューズ回路FCK0-FCK7により、スリープモード時にブロック信号により選択されるメモリアレイが決定される。

【0507】図90は、図89に示すヒューズ回路FCK0-FCK7の構成の一例を示す図である。図90においては、ブロックデコード回路4からのブロック選択信号BSF<i>に対応して設けられるヒューズ回路FCKiの構成を示す。ここで、i=1-7である。このヒューズ回路FCKiは、マルチプレクサMXXi-MXX7の入力ASi-AS7それぞれに対応して設けられる熔断可能なリンク素子FLEi-FLE7を含む。これらのリンク素子FLEi-FLE7には、共通にブロックデコード回路4からのブロック選択信号BSF<

i が与えられる。リンク素子 $FLE_i - FEL_7$ の1つが導通状態、残りのリンク素子が溶断状態とされる。

【0508】この図90に示すヒューズ回路 FCK_i の構成の場合、ブロック選択信号 $BSF < i >$ は、スリープモード時には、ブロック選択信号 $BS < i > - BS < 7 >$ のいずれかとして生成される。したがって、ブロック選択信号 $BSF < 0 > - BSF < 7 >$ が、それぞれメモリアレイ $MA_0 - MA_7$ を特定する場合、メモリアレイ MA_i が、メモリアレイ $MA_{(i+1)} - MA_7$ のいずれかと置換可能である。スリープモード時に

10 において、メモリアレイ MA_i が特定されたとき、このメモリアレイ MA_i が正常であれば、置換は行なわれず、メモリアレイ MA_i が指定される。

【0509】このヒューズ回路 FCK_i の出力ノードが結合するマルチプレクサ $MXX_i - MXX_7$ の入力ノード $AS_i - AS_7$ には、それぞれプルダウン抵抗401が設けられる。ヒューズ回路 FCK_i において、たとえばヒューズ素子 FLE_i に対応するメモリアレイ MA_i がスリープモード時非選択状態とされるとき、このヒューズ素子 FLE_i が溶断される。この場合、全てのヒューズ回路 $FCK_0 - FCK_7$ においてヒューズ素子 MA_i が溶断されるため、対応のマルチプレクサ MXX_i の入力ノード AS_i がフローティング状態となるのをこのプルダウン抵抗401により防止する。

【0510】マルチプレクサ $MXX_0 - MXX_7$ の各々が、トライステートバッファ回路で構成される場合、特に、このようなプルダウン抵抗401を配置しても、十分にブロック選択信号をロウ/コラムデコード帯 RCD_B へ伝達することができる。また、このようなトライステートバッファ回路が設けられていない場合、ブロック選択信号 $BS < 7 : 0 >$ が、このプルダウン抵抗401により遅延時間が大きくなっても、内部のワード線選択開始タイミングが少し遅れるだけであり、スリープモード時には高速動作性は要求されないため、何ら問題は生じない。

【0511】また、スリープモード時においても、マルチプレクサ $MXX_0 - MXX_7$ の入力 $AS_0 - AS_7$ においてスリープモード時に使用されるメモリアレイに対応して配置されるマルチプレクサの入力ノード AS には、常に1つのブロック選択信号が、リンク素子 FLE を介して伝達されるため、これらのブロックデコード回路からのブロック選択信号の負荷は同じとなり、スリープモード時においても、ブロック選択信号 BS の各ローカル制御回路部における確定タイミングは同じであり、スリープモード時においてリフレッシュを正確に実行することができる。

【0512】図91は、この発明の実施の形態16に従う半導体記憶装置の要部の構成を概略的に示す図である。図91において、メモリマツには、8個のメモリアレイ $MA_0 - MA_7$ が配置される。メモリアレイ MA

i ($i = 0 - 7$) の列方向についての両側にビット線プリチャージ/イコライズ (P/E) 回路群 $BEQ_i U$ および $BEQ_i L$ が配置される。ビット線プリチャージ/イコライズ回路群 $BEQ_i U$ および $BEQ_i L$ は、それぞれ、ビット線分離ゲート群 $BIG_i U$ および $BIG_i L$ を介してセンスアンプ群 SAG_i および $SAG_{(i+1)}$ にそれぞれ結合される。

【0513】メモリアレイ MA_i の両側にビット線プリチャージ/イコライズ回路群 $BEQ_i U$ および $BEQ_i L$ が配置されているのは、シェアードセンスアンプ構成に対応してメモリアレイ MA_i の列 (ビット線対) に交互にビット線プリチャージ/イコライズ回路を設けるためである。メモリアレイ、センスアンプ群、ビット線分離ゲート群およびセンスアンプ群の構成は、たとえば、図48に示す構成と同じであってもよく、また、図57に示す構成と同様の構成であってもよい。

【0514】メモリアレイ $MA_0 - MA_7$ それぞれに対応してローカル制御回路 $LCTL_0 - LCTL_7$ が設けられ、これらのローカル制御回路 $LCTL_0 - LCTL_7$ に共通にメイン制御回路 $MCTL$ が設けられる。このメイン制御回路 $MCTL$ は、中央の制御回路であり、ブロックデコード回路、およびリフレッシュアドレスカウンタ等を含む (先の実施の形態のいずれの構成を備えていてもよい)。

【0515】この実施の形態16に従う半導体記憶装置は、さらに、メイン制御回路 $MCTL$ からのテストモード指示信号 $TEST$ に従って、ローカル制御回路 $LCTL_0 - LCTL_7$ に対しテストブロック選択信号 $TBS < 7 : 0 >$ を与えるテストブロック選択回路403を含む。このテストブロック選択回路403は、テストモード指示信号 $TEST$ の活性化時、特定のパッド PD を介して与えられる信号に従って、テストブロック選択信号 $TBS < 7 : 0 >$ を生成する。

【0516】このテストブロック選択回路403は、デコード回路の構成を備えていてもよく、また単にシフトレジスタの構成を備えていてもよい。テストブロック選択信号 $TBS < 7 : 0 >$ は、このテストモード指示信号 $TEST$ の活性化時、テスト装置からパッド PD に与えられる信号に従って順次活性化し、メモリアレイ $MA_0 - MA_7$ のうち1つのメモリアレイをプリチャージ状態に設定し、かつ残りのメモリアレイに対するビット線プリチャージ電圧の供給を停止する。

【0517】すなわち、テストモード指示信号 $TEST$ の活性化時、テストブロック選択回路403により、メモリアレイ $MA_0 - MA_7$ のうち1つのメモリアレイに対しビット線プリチャージ/イコライズ電圧を供給し、その状態での消費電流をモニタする。この消費電流のモニタは、単に、電源ノードを流れる電流をモニタすることにより行なわれてもよく、またビット線プリチャージ/イコライズ電圧 VBL を伝達する中間電圧線を流

れる電流を、外部でテストモード時モニタしてもよい。

【0518】ウェハレベルでのテスト時において、メモリアレイ単位でスタンバイ状態時のリーク電流を検出し、スタンバイ電流が所定値以上のメモリアレイを検出する。この検出結果に従って、ウェハレベルでのテストの最終工程におけるレーザトリミング工程において、先の図89および図90に示すヒューズ回路のプログラムが行なわれる。

【0519】図92は、図91に示すローカル制御回路LCTL0-LCTL7の構成を概略的に示す図である。図92においては、メモリアレイMA_iに対して設けられるローカル制御回路LCTL_iのビット線イコライズ指示信号を発生する部分の構成を示す。

【0520】図92において、ローカル制御回路LCTL_iは、対応のメモリアレイMA_iが、リーク不良状態にあるかをプログラムするプログラム回路410と、プログラム回路410の出力信号とスリープモード指示信号SLEEP_MODEを受けるゲート回路412と、ゲート回路412の出力するイコライズ制御信号EQCTL<i>に従って、ビット線プリチャージ/イコライズ指示信号BLEQF<i>と接地電圧の一方を選択するマルチプレクサ414と、テストモード指示信号TESTに従ってマルチプレクサ414の出力信号とテストブロック選択信号TBS<i>の一方を選択してビット線プリチャージ/イコライズ指示信号BLEQ<i>を出力するマルチプレクサ416を含む。

【0521】プログラム回路410は、電源ノードとノード410dの間に接続されるPチャネルMOSトランジスタ410aと、ノード410dに接続されるリンク素子410bと、リンク素子410bと接地ノードとの間に接続されかつそのゲートにリセット信号Z_RSTを受けるNチャネルMOSトランジスタ410eと、電源ノードとノード410aとの間に接続されかつそのゲートにリセット信号Z_RSTを受けるPチャネルMOSトランジスタ410fと、ノード410dの出力信号を反転してゲート回路412の第1の入力へ与えるとともにPチャネルMOSトランジスタ410aのゲートへ与えるインバータ回路410cを含む。リセット信号Z_RSTは、電源投入時またはシステムリセット時に所定期間活性化される（Lレベルに駆動される）。

【0522】電源投入時などの初期設定時において、リセット信号Z_RSTが活性化されてLレベルとなると、MOSトランジスタ410fが導通し、ノード410dをHレベルにプリチャージする。リセット信号Z_RSTがHレベルとなると、MOSトランジスタ410eが導通する。この状態において、ノード410dの電圧レベルは、リンク素子410bのプログラム状態により決定される。

【0523】対応のメモリアレイMA_iが、マイクロショートによりスタンバイリーク不良を生じている場合に

は、プログラム回路410において、このリンク素子410bを溶断する。したがって、このプログラム回路410は、対応のメモリアレイMA_iが、マイクロショートによるスタンバイリーク不良状態のときには、Lレベルの信号を出力し、このマイクロショートによるスタンバイリーク電流が所定値以下であり、対応のメモリアレイMA_iが正常な場合には、すなわち、メモリアレイMA_iに対しデータアクセスは正常に行なえる場合には、このプログラム回路410は、リンク素子410bが導通状態にあり、Hレベルの信号を出力する。

【0524】ゲート回路412は、プログラム回路410の出力信号がLレベルにありかつスリープモード指示信号SLEEP_MODEがHレベルとなると、イコライズ制御信号EQCTL<i>をHレベルに立上げる。一方、プログラム回路410の出力信号がHレベルのときには、このゲート回路412は、スリープモード指示信号SLEEP_MODEの論理レベルにかかわらず、イコライズ制御信号EQCTL<i>をLレベルに固定する。

【0525】マルチプレクサ414は、イコライズ制御信号EQCTL<i>がLレベルのときには、アレイ活性化信号RASとブロック選択信号BS<i>に従って生成されるビット線プリチャージ/イコライズファースト信号BLEQF<i>を選択し、一方、このイコライズ制御信号EQCTL<i>がHレベルとなると、接地電圧を選択する。

【0526】マルチプレクサ416は、テストモード指示信号TESTがLレベルのときには、マルチプレクサ414の出力信号を選択してビット線イコライズ指示信号BLEQ<i>を生成し、一方、テストモード指示信号TESTがHレベルのときには、図91に示すテストブロック選択回路403からのテストブロック選択信号TBS<i>を選択して、ビット線プリチャージ/イコライズ指示信号BLEQ<i>を生成する。

【0527】メモリアレイ単位で、スタンバイリーク電流を検出する場合には、テストモード指示信号TESTがHレベルであり、図91に示すテストブロック選択回路403からのテストブロック選択信号TBS<i>に従ってビット線プリチャージ/イコライズ指示信号BLEQ<i>が生成される。したがって、1つのメモリアレイに対してのみ、ビット線プリチャージ/イコライズ指示信号BLEQ<i>をHレベルとして、ビット線とサブワード線との間のマイクロショートに起因するリーク電流を測定することができる。この場合、その他の非選択メモリアレイに対しては、テストブロック選択信号TBSは、Lレベルを維持し、非選択状態のメモリアレイのビット線プリチャージ/イコライズ回路は非活性状態にあり、スタンバイリーク電流を測定するテストモード時において、非選択メモリアレイのビット線は、フローティング状態に保持される。

【0528】なお、このテストモード時において、選択メモリアレイに対して、ビット線分離指示信号BLIをHレベルとし、非選択メモリアレイに対しては、ビット線分離指示信号BLIはLレベルを維持してもよい。ビット線プリチャージ電圧VBLを伝達する中間電圧伝達線からビット線プリチャージ/イコライズ回路BEQを介してスタンバイ電流がマイクロショートに流入し、ビット線プリチャージ電圧VBLを発生する中間電圧発生回路においてこのリーク電流を補償するために電流が消費される。この中間電圧発生回路の消費電流をもスタンバイ電流として検出する。

【0529】上述のように選択メモリアレイのビット線分離ゲートを導通状態としかつ非選択のメモリアレイに対するビット線分離ゲートを非導通状態とするためには、図92のテストブロック選択信号TBS<i>をビット線分離指示信号として利用すればよい。

【0530】また、これに代えて、リーク電流テスト時において、ビット線分離ゲートを全て非導通状態として、メモリアレイをセンスアンプから切離して、ビット線プリチャージ/イコライズ回路のリーク電流のみが検出されてもよい。この場合、単に、テストモード指示信号TESTにしたがってビット線分離指示信号BLIを非活性化すればよい。

【0531】このテスト結果に従って、リンク素子410bの溶断/非溶断をプログラムした後、ウェハレベルでのメモリアレイに対するスタンバイリーク電流のテスト工程が完了する。

【0532】このテストモードの完了後は、テストモード指示信号TESTがLレベルであり、マルチプレクサ416は、マルチプレクサ414の出力信号を選択する。データアクセスが行なわれる通常アクセスモード時においては、スリープモード指示信号SLEEP_MODEはLレベルであり、イコライズ制御信号EQCTL<i>がLレベルであり、ビット線イコライズファースト信号BLEQF<i>に従ってビット線プリチャージ/イコライズ指示信号BLEQ<i>が生成される。

【0533】一方、スリープモード時においては、対応のメモリアレイMAiがスタンバイリーク不良のときには、プログラム回路410の出力信号がLレベルであり、応じてイコライズ制御信号EQCTL<i>がHレベルとなり、マルチプレクサ414が接地電圧を選択し、応じてビット線プリチャージ/イコライズ指示信号BLEQ<i>がLレベルとなる。したがって、スリープモード時において、このメモリアレイMAiは、非選択状態に置かれ、ビット線がフローティング状態に保持される。したがって、マイクロショートが多数存在しても、非選択サブワード線は接地電圧レベルであるため、ビット線のマイクロショートを介した放電後は、何らリーク電流が生じない。メモリアレイMAiはスタンバイリーク不良状態であり、データ保持領域としては使用さ

れないため、このようにビット線を、スリープモード時に、フローティング状態にしても何ら問題は生じない。

【0534】一方、対応のメモリアレイMAiが、正常な場合、プログラム回路410の出力信号はHレベルであり、応じてイコライズ制御信号EQCTL<i>はLレベルであり、スリープモード時においても、ビット線プリチャージ/イコライズファースト信号BLEQF<i>に従ってビット線プリチャージ/イコライズ指示信号BLEQ<i>が生成される。

【0535】図93は、ローカル制御回路LCTLiに含まれるビット線分離制御回路の構成の一例を示す図である。図93において、ローカル制御回路LCTLiが、アレイ活性化信号RASと隣接メモリアレイを特定するブロック選択信号BS<j>を受けるNAND回路420と、テストモード指示信号TESTとイコライズ制御信号EQCTL<i>を受けるOR回路421と、NAND回路420の出力信号とOR回路421の出力信号とを受けるNOR回路422と、NOR回路422の出力信号をレベル変換してビット線分離指示信号BLI<i>を生成するレベル変換回路423を含む。このレベル変換回路423により、振幅高電圧Vppレベルのビット線分離指示信号BLI<i>が生成される。

【0536】この図93に示すローカル制御回路LCTLiの構成において、メモリアレイのスタンバイリーク電流を検出するテストモード時においては、テストモード指示信号TESTがHレベルであり、OR回路421の出力信号がHレベルとなり、応じてNOR回路422の出力信号がLレベルとなる。レベル変換回路423は、単にレベル変換を行なうだけであり、論理レベルの変換は行なわないため、ビット線分離指示信号BLI<i>はLレベルとなり、図91に示すビット線分離ゲート群は、すべて非導通状態となり、メモリアレイMA0-MA7は、対応のセンスアンプ群SAG0-SAG8から分離される。これにより、正確に、ビット線プリチャージ電圧におけるスタンバイ状態時でのリーク電流をメモリアレイ単位で検出することができる。

【0537】テストモード指示信号TESTがLレベルのとき、イコライズ制御信号EQCTL<i>がHレベルであれば、対応のメモリアレイMAiは、スタンバイリーク不良である。したがって、スリープモード時においてイコライズ制御信号EQCTL<i>がHレベルとなると、ビット線分離指示信号BLI<i>をLレベルとして、そのメモリアレイMAiをセンスアンプ群から分離し、センスアンプのセンス駆動ノードを中間電圧にプリチャージするセンスプリチャージ回路からのリーク電流を防止する。

【0538】一方、スリープモード時において、イコライズ制御信号EQCTL<i>がLレベルのときには、対応のメモリアレイMAiはスタンバイリーク電流が正常であり、OR回路421の出力信号はLレベルであ

る。したがって、この場合には、アレイ活性化信号RASおよび隣接メモリアレイを特定するブロック選択信号BS<j>がHレベルとなったときに、このビット線分離指示信号BLI<i>がLレベルに駆動されてセンスアンプ群から分離される。

【0539】なお、図93に示す構成において、ビット線分離指示信号に代えて、テストブロック選択信号TBS<i>が利用されれば、テスト対象のメモリアレイのみが対応のセンスアンプ群に結合される。この構成の場合、テストモード指示信号TESTを特に利用する必要はない。OR回路422の出力にOR回路422の出力信号とテストブロック選択信号TBS<i>とを受けるOR回路を配置すれば、テスト対象メモリアレイのみをセンスアンプ群に結合する構成は、得られる。

【0540】図94は、メモリアレイの1列の構成を概略的に示す図である。図94において、メモリアレイMAiにおいて、ビット線BLおよびZBLは、ビット線分離ゲートBIGを介してセンスアンプS/Aに結合される。メモリアレイMAiにおいては、ビット線プリチャージ/イコライズ回路BEQLが設けられており、このビット線プリチャージ/イコライズ回路BEQLは、ビット線プリチャージ/イコライズ指示信号BLEQ<i>に従ってビット線BLおよびZBLへ、プリチャージ電圧VBLを供給する。

【0541】一方、センスアンプS/Aは、センス駆動線S2PおよびS2Nを介して、センス電源電圧およびセンス接地電圧を受ける。スタンバイ状態においては、このセンス駆動線S2PおよびS2Nは、センスプリチャージ回路430により、中間電圧VBLレベルにプリチャージされる。センスアンプS/Aは、センス駆動トランジスタを含んでおらず、交差結合されたMOSTランジスタ対を含む。

【0542】この図94に示すように、マイクロショートZRがサブワード線SWLとビット線BLとの間に存在する場合、リーク電流によりビット線BLの電位が低下すると、センスアンプS/AのPチャネルMOSTランジスタを介して、センスプリチャージ回路425から電流が流れ、そのスタンバイ時のリーク電流が大きくなる。このセンスプリチャージ回路425からのリーク電流による電流消費を防止するため、スリープモード時において、ビット線分離ゲートBIGを非導通状態に設定する。これにより、センスプリチャージ回路430からのプリチャージ電圧VBLがセンスアンプS/Aを介して、マイクロショートZRへ入力するのを防止でき、応じて消費電流を低減することができる。

【0543】〔変更例〕図95は、この発明の実施の形態16の変更例の構成を示す図である。この図95においては、ビット線分離指示信号BLI<i>を生成するローカル制御回路の部分を示す。

【0544】図95において、ローカル制御回路LCT

Liは、ブロック選択信号BS<i>とアレイ活性化信号RASを受けるNAND回路430と、アレイ活性化信号RASとブロック選択信号BS<j>とを受けるAND回路431と、セルフリフレッシュ指示信号SRFを受けるインバータ回路432と、セルフリフレッシュ指示信号SRFがHレベルのとき導通してNAND回路430の出力信号を通過させるトランスファゲート433と、インバータ回路432の出力信号がHレベルのとき導通し、AND回路431の出力信号を伝達するトランスファゲート434を含む。トランスファゲート433および434の出力ノードは共通に結合される。セルフリフレッシュ指示信号SRFは、スリープモード指示信号SLEEP_MODEが活性状態となり、ツインセル書込モードが行なわれ、メモリセルのデータの再配置が行なわれた後に活性化される。

【0545】このローカル制御回路LCTLiはさらに、テストモード指示信号TESTとトランスファゲート433または434の出力信号とを受けてビット線分離指示信号BLI<i>を生成するレベル変換機能つきNOR回路435を含む。このテストモード指示信号TESTが、メモリアレイ単位でのスタンバイリーク電流を測定するテストモード時にHレベルの活性状態とされる。

【0546】ブロック選択信号BS<j>は、ブロック選択信号BS<i>が指定するメモリアレイMAiに隣接するメモリブロック（メモリアレイ）を指定する。

【0547】テストモード指示信号TESTがHレベルのときには、ビット線分離指示信号BLI<i>がLレベルとなり、メモリアレイは対応のセンスアンプ群から分離される。

【0548】テストモード指示信号TESTがLレベルのときには、NOR回路435が、インバータ回路として動作する。

【0549】データアクセスが行なわれる通常動作モード時およびデータの再配置を行なうツインセル書込モード時においては、セルフリフレッシュモード指示信号SRFはLレベルである。この状態においては、トランスファゲート434が導通し、AND回路431の出力信号を、NOR回路435に伝達する。したがって、このセルフリフレッシュ指示信号SRFがLレベルのときには、アレイ活性化信号RASおよびブロック選択信号BS<j>の一方がLレベルのときには、ビット線分離指示信号BLI<i>がHレベルとなり、対応のメモリアレイMAiが対応のセンスアンプ群に結合される。

【0550】一方、アレイ活性化信号RASおよびブロック選択信号BS<j>がともにHレベルとなると、AND回路431の出力信号がHレベルとなり、応じて、ビット線分離指示信号BLI<i>がLレベルとなり、メモリアレイMAiが対応のセンスアンプ群から分離される。

10

20

30

40

50

【0551】一方、セルフリフレッシュモード時には、セルフリフレッシュ指示信号SRFがHレベルとなり、トランスファゲート433が導通し、トランスファゲート434が非導通状態となる。この状態においては、アレイ活性化信号RASおよびブロック選択信号BS<i>の少なくとも一方がLレベルのときには、NAND回路430の出力信号がHレベルとなり、応じて、NOR回路435からのビット線分離指示信号BLI<i>がLレベルとなり、メモリアレイMAiが、対応のセンスアンプ群から分離される。一方、ブロック選択信号BS<i>およびアレイ活性化信号RASがともにHレベルとなると、NAND回路430の出力信号がLレベルとなり、応じて、NOR回路435からのビット線分離指示信号BLI<i>がHレベルとなり、メモリアレイMAiが、対応のセンスアンプ群に結合される。

【0552】すなわち、セルフリフレッシュモード時には、非選択メモリアレイは、対応のセンスアンプ群からすべて分離される。したがって、スタンバイ状態においても、メモリアレイは対応のセンスアンプ群から分離されており、この非選択メモリアレイにおけるマイクロショートが数多く存在する場合においても、センスアンプからビット線およびマイクロショートを介してサブワード線に電流が流れるのを防止することができる。

【0553】なお、この図95に示す構成においても、ビット線分離指示信号BLI<i>をテストブロック選択信号TBS<i>に従って生成してもよい。テストモード指示信号TESTに変えてテストブロック選択信号を利用することにより、その構成は、容易に得られる。すなわち、NOR回路435をOR回路で置換しかつNAND回路430およびAND回路431を、それぞれAND回路およびNAND回路で置換する。

【0554】また、ツインセル書き込みモード時には、メモリアレイの置換を行なう構成は、転送先のメモリアレイを特定するブロック選択信号に対して先に説明したブロック変更回路を適用する必要がある。しかしながら、内部でリフレッシュカウンタを利用する場合には、転送先のアドレスが内部で発生されてブロック選択信号が生成されるため、特に問題なくデータ保持領域のメモリアレイの変更を行なうことができる。また、データの内部転送の場合においては、データを保持する転送先のメモリアレイおよび転送元のメモリアレイ両者が、外部アドレスにより特定されるため、転送先に対するメモリアレイへのアクセス時期を規定する転送制御信号φRGEに従って、ブロック選択信号の転送先を変更することにより、データ保持領域を変更することができる。例えば、図89に示す構成において、スリープモード指示信号SLEEP_MODEに代えて、セルフリフレッシュ指示信号SRFと転送制御信号φRGEとのORを取った信号を利用すればよい。

【0555】また、ビット線プリチャージ/イコライズ回路がセンスアンプ帯に配置されている構成においても、同様非選択メモリアレイを全てセンスアンプ帯から分離することにより、メモリアレイ単位でスタンバイ電流を検出することができる。スリープモード時には、リーク不良のメモリアレイをセンスアンプ帯から分離することにより、センスアンプ帯にビット線プリチャージ/イコライズ回路が配置されている構成においても、消費電流を低減することができる。この構成に対する制御の構成としては、上で述べた制御の構成を利用することができる。

【0556】以上のように、この発明の実施の形態16に従えば、メモリアレイ単位でスタンバイリーク電流を検出し、スタンバイリーク電流以上のメモリアレイがデータ保持領域から分離して別のメモリアレイへ置換するように構成しており、データ保持モード時の消費電流をより低減することができる。

【0557】〔他の適用例〕上述の説明においては、混載DRAMについて説明している。しかしながら、本発明は、一般に、DRAM（ダイナミック・ランダム・アクセス・メモリ）であれば適用可能である。

【0558】また、ロジック等の装置が長期にわたって動作しない期間におけるデータ保持を行なうスリープモードについて説明している。しかしながら、使用状況に応じてDRAMに対するメモリアドレス空間の割当が動作モードに応じて切換えられるシステムであっても本発明は適用可能である。

【0559】

【発明の効果】以上のように、この発明に従えば、第1の動作モードにおいては、アドレス信号に従ってアドレス指定された行に対応するワード線を選択し、第2の動作モードにおいては、このアドレス信号によりアドレス指定された行と関連の行を同時に選択するためのモード切換回路を行選択手段に設け、このアドレス指定された行および関連の行は、対応のビット線対のビット線それぞれにメモリセルが接続されるように選択しており、第1の動作モードと第2の動作モードでこの半導体記憶装置の記憶容量を変化させることができる。また、第2の動作モード時には、十分な大きさのビット線間電圧を生じさせることができ、低電源電圧下においても、正確にデータを記憶することができる。

【0560】また、この第2の動作モードを、データ保持を行なう動作モードに設定することにより、メモリセルの記憶データのリフレッシュを行なう間隔を長くすることができ、データ保持モード時における消費電力を低減することができる。

【0561】また、リフレッシュ要求を、この第2の動作モード時に第1の動作モード時より長い間隔で発生することにより、リフレッシュ回数を低減でき、リフレッシュのための消費電力を低減することができる。

【0562】また、行選択手段のモード切替回路を、アドレス信号の最下位ビットを縮退状態とするゲート回路で構成することにより、簡易な回路構成で容易に、第2の動作モード時アドレス指定された行およびそれに関連する行を対応するワード線を選択状態へ駆動することができる。

【0563】また、第2の動作モード移行時、所定回数発生されるリフレッシュアドレスに対しては、行選択手段のモード切替回路がこのアドレス指定された行および関連の行の活性化タイミングを異ならせるように構成することにより、1ビット/1セル単位の記憶データを1ビット/2セルモードの単位セルに書込むことができる。

【0564】また、第2の動作モード時リフレッシュアドレスを所定値スキップして発生することにより、1ビット/2セルモードの単位セルに対し、確実に1ビットのデータを書込むことができ、この単位セル構成変更時において記憶データの衝突が生じるのを防止することができる。

【0565】また、第2の動作モード時少なくともリフレッシュアドレスの最上位ビットおよび最下位ビットの論理値を固定することにより、リフレッシュすべきデータを記憶するメモリセルのアドレス領域を制限することができ、応じてリフレッシュ回数を低減でき、リフレッシュに必要とされる消費電力を低減することができる。

【0566】また、第2の動作モード時、ビット線対の電位を差動増幅するためのセンスアンプの電源トランジスタの電流駆動能力を小さくすることにより、この第2の動作モード時におけるセンス電流の平均直流電流を低減することができる。

【0567】また、第2の動作モードにおいて、センスアンプを次のリフレッシュが行なわれるまでラッチ状態とすることにより、ビット線プリチャージ電圧を発生する回路の動作を停止させることができ、消費電力を低減できる。

【0568】また、リフレッシュ要求に従ってセンスアンプを活性化することにより、正確に、次のリフレッシュ要求に従って選択されたメモリセルデータの検知増幅を行なうことができる。

【0569】また、センスアンプの非活性化に従ってビット線イコライズ回路を活性化することにより、中間電圧レベルに各ビット線をイコライズすることができ、ビット線プリチャージ電圧発生回路の動作を停止させても、各ビット線を、メモリセルデータ読出前に中間電圧レベルに駆動することができる。

【0570】また、ビット線プリチャージ電圧発生回路の動作を第2の動作モード時に停止させることにより、消費電力を低減することができる。

【0571】また、選択ワード線に伝達される昇圧電圧のレベルを、動作モードに応じて切替えることにより、

この第2の動作モード時に昇圧電圧レベルを低くすれば、昇圧電圧発生に要する消費電力を低減することができる。

【0572】また、この昇圧電圧発生回路の昇圧電圧発生動作を停止させて昇圧線が電源ノードに結合しており、昇圧電圧発生の電力を削減することができる。

【0573】また、第2の動作モード時、基板バイアス電圧を発生する回路の電荷駆動能力を小さくすることにより、この基板バイアス電圧発生に必要な電力を削減することができる。特にこの第2の動作モード時間欠的に基板バイアス電圧発生回路を活性化することにより、より消費電力を低減できる。

【0574】また、この基板バイアス電圧発生回路をリフレッシュ要求に応答してチャージポンプ動作を行なうように構成することにより、必要な期間のみ基板バイアス電圧を発生することができ、確実に、基板バイアス電圧を所定電圧レベルに維持することができ、かつ消費電力も低減することができる。

【0575】また、アレイ電源電圧の電圧レベルを動作モードに応じて切替えることにより、アレイ電源電圧発生回路の消費電力を第2の動作モード時低減することができる。

【0576】また、このアレイ電源電圧発生回路の動作を第2の動作モードに停止させて、アレイ電源線を外部電源ノードに結合することにより、アレイ電源電圧発生に要する電力を低減することができる。

【0577】また、第2の動作モード完了時、一旦全メモリセルのデータのリフレッシュ完了後に、第1の動作モードへ移行しており、確実に、全メモリセルのデータをリフレッシュした状態で第1の動作モードへ移行することができ、データの破壊が防止される。

【0578】また、各ビット線対に対応して電流駆動能力の小さなビット線プリチャージ回路を設け、データ保持を行なうモード時においては、電流駆動能力の大きなプリチャージ回路を常時非活性状態とすることにより、たとえマイクロショートが存在しても、このマイクロショートを介して流れる電流を制限することができ、データ保持モード時の消費電流を低減することができる。

【0579】また、電流駆動能力の大きなプリチャージ回路を隣接するメモリブロック間で共有し、電流駆動能力の小さなプリチャージ回路を各ビット線対に配置することにより、セルフリフレッシュ実行時においても、ブロック単位でビット線のプリチャージを正確に行なうことができ、安定にビット線を所定電圧レベルに保持することができる。

【0580】また、各ビット線対には、電流駆動能力の大きなイコライズ回路を設けることにより、ビット線対のイコライズ動作を高速化することができ、安定に所定電圧レベルに、ビット線電位をプリチャージしかつイコライズすることができる。

【0581】第2の動作モード時に、ビット線へ伝達される所定電圧を発生する所定電圧発生回路を所定間隔で電源ノードへ結合するように構成しており、この第2の動作モード時必要なときのみ所定電圧発生回路で電流を消費させることができ、この第2の動作モード時の消費電流を低減することができる。

【0582】この第2の動作モードがデータ保持を行なうセルフリフレッシュモードのとき、セルフリフレッシュを行なうリフレッシュ間隔ごとに電源ノードに所定電圧発生回路を結合することにより、ビット線電圧を所定電圧にプリチャージした後に、リフレッシュを実行することができる。

【0583】また、このセルフリフレッシュモード前に実行されるツインセル書込モード時には、電源ノードへ中間電圧発生回路を常時結合しており、高速でツインセルモードでの書込を安定に行なうことができる。

【0584】また、セルフリフレッシュモード時、中間電圧発生回路の電源ノードへ結合した後に、リフレッシュ活性化信号によりリフレッシュ動作を行なうように構成しており、ビット線電圧が所定電圧レベルに保持された後に、リフレッシュを行なうことができ、安定にリフレッシュを行なうことができる。

【0585】また、このリフレッシュ活性化タイミングの遅延時間をテスト信号により変更可能とすることにより、リフレッシュマージン不良を検出し、不良スクリーンを実現することができる。

【0586】また、このとき、内部電圧を発生する回路の動作を停止している場合、この内部電圧発生回路を活性化してリフレッシュを実行した後に第1の動作モードへ移行することにより、正確に、メモリセルの記憶データを回復させた後に第1の動作モードへ移行することができ、記憶データを確実にリストアすることができる。

【0587】また、通常モードのデータ転送を行なうデータバスと別に再配置データバスを設け、2つのメモリブロックにおいて行を選択した後、通常のデータバスおよび再配置データバスを利用して、データ転送を行なうことにより、データ転送時データを外部へ読出す必要がなく、高速でデータの再配置を行なうことができる。

【0588】また、保持領域のメモリブロックに対しデータ再配置書込指示信号を活性化することにより、メモリブロック単位でデータの転送を容易に行なうことができる。また、データ保持領域をメモリブロック単位で設定してデータの転送を行なう事ができる。メモリブロックのデータ転送元および転送先の設定を容易に行なうことができ、データ保持領域を柔軟に設定することができる。

【0589】また、異なるメモリブロックにおいて2つの行を選択することにより、データの衝突を伴うことなく、正確にデータ転送を通常データバスおよび再配置データバスを介して行なうことができる。

【0590】また、再配置動作モード時、所定の時間幅を有するパルス信号をアレイ活性化信号として生成して行選択回路を活性化することにより、複数のメモリブロックにおいてワード線を選択状態へ駆動して、同時に並行して選択状態に保持することができる。

【0591】また、2つのメモリブロックにおいてセンスアンプを活性化し、1つのメモリブロックにおいては行選択状態へ駆動し、一方、他方のメモリブロックにおいては行を非選択状態に保持し、この状態でデータを転送し、列選択回数が所定値に到達すると非選択状態の行を選択状態へ駆動することにより、センスアンプ帯を共有するメモリブロックにおいても、正確にデータの転送を行なうことができる。

【0592】このカウント値が、1行の列の数に等しい場合、1行のデータ転送完了後、非選択行を選択状態に駆動してデータの書込を行なうことができ、正確に、センスアンプ回路を共有するメモリブロック間においても、データの衝突を伴うことなく、データ転送を行なうことができる。

【0593】プリアンプの活性化後にデータ転送ゲートを活性化して内部データバス上のデータを再び内部データバスに転送し、また再配置用の列選択ゲートを通常列選択ゲートよりも遅れて活性化することにより、通常のデータ転送のために用いられる内部データバスを利用して、データ転送を行なってデータ再配置を行なうことができる。したがって、新たなデータ再配置用のデータバスを設ける必要がなく、配線占有面積も増加を抑制することができる。

【0594】また、少なくともアレイ活性化信号に従って行を選択することにより、容易に外部からの制御の下に行選択を実行することができ、正確にデータ保持領域へ保持が必要なデータを転送することができる。

【0595】また、非選択行をセンスアンプ活性化後データの転送を完了後に選択状態へ駆動することにより、隣接メモリブロック間においてもデータの衝突を伴うことなくデータ転送を行なうことができる。

【0596】また、センスアンプをアレイ活性化指示信号に従って活性化することにより、データ保持領域において、転送データをセンスアンプによりラッチすることができる。この後、非選択状態の行を選択状態へ駆動することにより、正確に転送データをデータ保持領域の対応の行に書込むことができる。

【0597】また、再配置動作モード時に、内部列アドレスを内部で列選択値に従って発生することにより、外部から列アドレスを印加する必要がなく、アドレス伝達のための消費電流を低減することができる。

【0598】また、2つの行を同時に選択状態に維持し、内部のデータバスを介してこれらの行の間でデータを転送することにより、データ再配置を内部でのデータ転送だけで行なうことができ、高速でデータ転送を行な

ってデータ再配置を行なうことができる。

【0599】また、プリアンプの出力信号を転送バッファを介して内部データバスにフィードバックし、プリアンプを列選択指示に応答して活性化しかつ再配置書込指示信号の非活性化に応答して非活性化することにより、列単位でデータの転送を行なう事ができ、同時に行を選択状態に保持する必要がなく、隣接メモリブロック間および同一メモリブロック内の異なる行間でデータの転送を行なう事ができる。

【0600】また、プリアンプの非活性時にプリアンプの出力ノードをイコライズすることにより、正確にプリアンプの増幅データを内部データバスにフィードバックすることができる。

【0601】データ再配置書込指示信号の活性／非活性にしたがって列選択信号を選択的に生成して選択列を内部データバスおよび再配置データバスに結合する構成とすることにより、同一構成の列選択回路を利用して保持が必要なデータの列とデータ保持領域の列の選択を選択的に行なう事ができる。応じて、回路構成も簡略化することができる。また、データ保持領域の変更にも容易に対応することができる。

【0602】また、列指定信号の遅延信号を利用して列選択を行ない、またプリアンプ活性化信号の遅延信号によりプリアンプ出力を内部データバスにフィードバックすることにより、容易に選択列間でデータの衝突を伴うことなくデータの転送をすることができる。

【0603】また、内部データ書込経路と内部データ読出経路とが異なる I/O 分離構成の場合、再配置書込指示信号と読出列指定信号とにしたがって読出列選択信号および書込列選択信号を生成してそれぞれ読出列選択ゲートおよび書込列選択ゲートへ与えることにより、簡易な回路構成で内部のデータバスを利用してデータの転送を行なう事ができる。また、書込列選択信号発生部および書込列選択信号発生部の構成を単にデータ再配置書込指示信号にしたがって切り換えるだけであり、簡易な回路構成でデータ保持領域の変更に対しても容易に対応することができる。

【0604】また、内部でのデータ転送回数をカウントする構成において、データ転送経路を通常のデータ線と再配置専用のデータ線の構成を利用することにより、センスアンプデータの衝突を伴うことなくセンスアンプ間でデータの転送を行なう事ができ、正確なデータ転送によるデータの再配置を実現することができる。

【0605】また、ブロック変更回路により、第1の動作モード時に、ブロック選択信号と選択メモリブロックとの対応関係を変更することにより、柔軟に、メモリブロックの消費電流に応じて、使用するメモリブロックを限定することができ、第1の動作モード時の消費電流を低減することができる。

【0606】通常動作時に、ブロック選択信号とメモリ

ブロックとの対応関係の変更を禁止することにより、通常動作モード時において、すべてのメモリブロックを使用して、効率的にデータアクセスを行なうことができ、その記憶容量が制限されるのを防止することができ、大記憶容量のワーキングメモリとしての特性を損なうことがない。

【0607】また、このブロック変更回路において、ブロック選択信号を伝達するブロック選択信号線の接続を切替えるヒューズプログラム回路で構成することにより、容易にブロック選択信号と選択メモリブロックとの対応関係を変更することができる。また、この第1の動作モード時に、第1のメモリブロックを第2のメモリブロックで置換することにより、第1のメモリブロックに不良が存在する場合においても、容易にこの不良を救済して、効率的に処理を実行することができる。

【0608】また、この第1のメモリブロックを第1の動作モード時においてスタンバイ状態に保持することにより、この不良の第1のメモリブロックが不必要に動作するのを防止することができ、消費電流を低減することができる。

【0609】また、この第1のメモリブロックへのデータ供給を第1動作モード時停止することにより、不良の第1のメモリブロックにおける消費電流を低減することができる。

【0610】また、第2の動作モード時、メモリアレイをメモリブロック単位でスタンバイ状態に設定することにより、メモリブロック単位でスタンバイ状態時のリーク電流を測定することができる。

【0611】また、この第1の動作モード時が、ツインセルモードであり、第2のモードがテストモードのときには、ツインセルモード時のデータ保持領域のメモリブロックを、スタンバイ電流の領域に設定することができ、マイクロショートが多数存在する場合においても、超低スタンバイ電流で必要なデータを保持することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置のレイ部の構成を概略的に示す図である。

【図2】 図1に示すメモリアレイのメモリセルおよびセンスアンプ回路の構成を概略的に示す図である。

【図3】 図2に示す構成の動作を示す信号波形図である。

【図4】 この発明の実施の形態1におけるビット線読出電圧の時間変化を示す図である。

【図5】 図4の時刻T2におけるセンス動作時の信号波形を示す図である。

【図6】 図1に示すメモリアレイのサブワード線ドライバの構成を示す図である。

【図7】 この発明の実施の形態1におけるスリープモード移行時の前処理動作を示すフロー図である。

【図 8】 この発明の実施の形態 1 の保持データの分布を概略的に示す図である。

【図 9】 この発明の実施の形態 1 の保持データ格納領域の変更例を示す図である。

【図 10】 この発明の実施の形態 1 におけるスリープモード移行時の動作を示す信号波形図である。

【図 11】 この発明の実施の形態 1 に従う半導体記憶装置の行系制御信号発生部の構成を概略的に示す図である。

【図 12】 図 11 に示す回路の動作を示すタイミングチャート図である。

【図 13】 図 11 に示すツインセルモードコントロール回路の構成の一例を示す図である。

【図 14】 図 13 に示すツインセルモードコントロール回路の動作を示す信号波形図である。

【図 15】 図 11 に示すリフレッシュカウンタの構成を示す図である。

【図 16】 図 11 に示すプリデコード回路の構成の一例を示す図である。

【図 17】 図 11 に示すサブデコード信号の発生回路の構成を概略的に示す図である。

【図 18】 (A) は図 11 に示すリフレッシュカウンタのツインセル書込モード指示信号発生部の構成を概略的に示し、(B) は図 18 (A) の回路の動作を示す信号波形図である。

【図 19】 図 11 に示すセルフリフレッシュタイマの構成を概略的に示す図である。

【図 20】 この発明の実施の形態 1 の変更例における保持データ格納領域のアドレス割当を示す図である。

【図 21】 この発明の実施の形態 1 の変更例のリフレッシュカウンタの構成を示す図である。

【図 22】 この発明の実施の形態 1 の変更例のリフレッシュカウンタのツインセル書込モード指示信号発生部の構成を概略的に示す図である。

【図 23】 この発明の実施の形態 1 の変更例におけるセルフリフレッシュタイマの構成の一例を示す図である。

【図 24】 この発明の実施の形態 1 の変更例のセルフリフレッシュタイマの変更例を示す図である。

【図 25】 この発明の実施の形態 1 の変更例のセルフリフレッシュタイマのさらに他の変更例を示す図である。

【図 26】 この発明の実施の形態 2 に従う半導体記憶装置の要部の構成を示す図である。

【図 27】 この発明の実施の形態 2 に従う半導体記憶装置のセンス駆動回路の配置を概略的に示す図である。

【図 28】 この発明の実施の形態 2 におけるセンスアンプ活性化信号発生部の構成を示す図である。

【図 29】 この発明の実施の形態 3 に従う半導体記憶装置の動作を示す信号波形図である。

【図 30】 この発明の実施の形態 3 におけるビット線プリチャージ電圧発生部の構成を概略的に示す図である。

【図 31】 この発明の実施の形態 3 に従う半導体記憶装置のビット線イコライズ回路の構成を示す図である。

【図 32】 この発明の実施の形態 3 に従う半導体記憶装置の行系制御信号発生部の構成を概略的に示す図である。

【図 33】 図 32 に示すラッチブロック選択信号発生部の構成を概略的に示す図である。

【図 34】 図 33 に示すラッチブロック選択信号発生部の動作を示す信号波形図である。

【図 35】 この発明の実施の形態 3 に従う半導体記憶装置のビット線分離指示信号発生部の構成を概略的に示す図である。

【図 36】 この発明の実施の形態 3 に従う半導体記憶装置の動作を示す信号波形図である。

【図 37】 この発明の実施の形態 4 に従う半導体記憶装置の昇圧電圧発生回路の構成を概略的に示す図である。

【図 38】 この発明の実施の形態 5 に従う半導体記憶装置の基板バイアス電圧発生回路の構成を概略的に示す図である。

【図 39】 図 38 に示す VBB 制御回路／リングオシレータの構成の一例を示す図である。

【図 40】 図 38 に示すスリープモード VBB 制御回路の構成を概略的に示す図である。

【図 41】 (A) は、図 40 に示すパルス幅制御ワンショットパルス発生回路の構成を示し、(B) は図 41 (A) に示す遅延回路の構成を示し、(C) は、図 41 (A) に示す回路の動作を示す信号波形図である。

【図 42】 図 40 に示す遅延制御回路の構成を概略的に示す図である。

【図 43】 図 42 に示す遅延制御回路の動作を示す信号波形図である。

【図 44】 (A) はこの発明の実施の形態 6 に従う半導体記憶装置の内部電源回路の構成を示す図である。

(B) は、この発明の実施の形態 6 におけるセルフリフレッシュ動作時のビット線電圧を概略的に示す図である。

【図 45】 (A) は実施の形態 6 に従う内部電源回路の構成を示し、(B) は図 45 (A) の内部電源回路使用時のビット線読出電圧を示す図である。

【図 46】 この発明の実施の形態 7 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 47】 図 46 に示す回路の動作を示す信号波形図である。

【図 48】 この発明の実施の形態 8 に従う半導体記憶装置の要部の構成を示す図である。

【図 49】 図 48 に示す構成の動作を示すタイミング

チャートである。

【図 50】 図 48 に示す構成の効果を説明するための図である。

【図 51】 図 48 に示すイコライズおよびプリチャージを制御する信号を発生する部分の構成の一例を示す図である。

【図 52】 この発明の実施の形態 9 に従う半導体記憶装置の行系制御部の構成を示す図である。

【図 53】 この発明の実施の形態 9 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 54】 この発明の実施の形態 9 の半導体記憶装置の動作を示す信号波形図である。

【図 55】 図 52 に示す遅延回路の構成を示す図である。

【図 56】 図 55 に示す回路の動作を示す信号波形図である。

【図 57】 この発明の実施の形態 10 に従う半導体記憶装置のアレイ部の構成を示す図である。

【図 58】 この発明の実施の形態 10 に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図 59】 図 58 に示すローカル制御回路に含まれるコラムデコーダの構成を概略的に示す図である。

【図 60】 図 58 に示す転送回路の構成を概略的に示す図である。

【図 61】 この発明の実施の形態 10 におけるデータ転送動作を示すフロー図である。

【図 62】 この発明の実施の形態 10 におけるデータ転送動作を模式的に示す図である。

【図 63】 この発明の実施の形態 10 におけるデータ転送動作を説明するための図である。

【図 64】 データ再配置書込指示信号発生部の構成の一例を示す図である。

【図 65】 図 64 に示すデータ再配置書込指示信号と対応のメモリブロックとの対応関係を示す図である。

【図 66】 データ再配置書込指示信号発生部の他の構成を概略的に示す図である。

【図 67】 この発明の実施の形態 10 におけるデータ転送動作を示す信号波形図である。

【図 68】 図 58 に示すメイン制御回路の構成を概略的に示す図である。

【図 69】 図 58 に示すローカル制御回路の行系制御信号発生部の構成を概略的に示す図である。

【図 70】 図 68 および図 69 に示す回路の動作を示す信号波形図である。

【図 71】 この発明の実施の形態 11 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 72】 図 71 に示す回路の動作を示す信号波形図である。

【図 73】 図 71 に示すプリアンプの構成を概略的に示す図である。

【図 74】 この発明の実施の形態 11 におけるプリアンプ制御信号発生部の構成を概略的に示す図である。

【図 75】 この発明の実施の形態 12 における再配置書込指示信号およびサブワード線駆動タイミング信号発生部の構成を概略的に示す図である。

【図 76】 この発明の実施の形態 12 におけるデータ転送動作を示す信号波形図である。

【図 77】 この発明の実施の形態 13 に従う半導体記憶装置の要部の構成を概略的に示す図である。

10 【図 78】 図 77 に示す構成の動作を示す信号波形図である。

【図 79】 この発明の実施の形態 14 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 80】 この発明の実施の形態 14 に従うコラムデコーダの構成を概略的に示す図である。

【図 81】 この発明の実施の形態 14 に従うデータ転送動作を示す信号波形図である。

【図 82】 この発明の実施の形態 14 におけるリードコラムプリデコード信号およびライトコラムプリデコード信号発生部の構成を概略的に示す図である。

20 【図 83】 図 80 に示す回路の動作を示す信号波形図である。

【図 84】 この発明の実施の形態 14 に従う半導体記憶装置の列系制御信号発生部の構成を概略的に示す図である。

【図 85】 この発明の実施の形態 15 に従う半導体記憶装置のコラムプリデコード信号発生部の構成を概略的に示す図である。

30 【図 86】 この発明の実施の形態 10 から 15 に従う半導体記憶装置のスリープモードおよびイグジット時の動作モードを概略的に示す図である。

【図 87】 この発明の実施の形態 16 におけるメモリアレイの再配置を概略的に示す図である。

【図 88】 この発明の実施の形態 16 における半導体記憶装置の要部の構成を概略的に示す図である。

【図 89】 図 88 に示すブロック変更回路の構成の一例を示す図である。

【図 90】 図 89 に示すヒューズ回路の構成の一例を示す図である。

40 【図 91】 この発明の実施の形態 16 の半導体記憶装置の全体の構成を概略的に示す図である。

【図 92】 図 91 に示すローカル制御回路の構成を示す図である。

【図 93】 図 91 に示すローカル制御回路のビット線分離指示信号を発生する部分の構成の一例を示す図である。

【図 94】 図 92 および図 93 に示すローカル制御回路の動作を示す図である。

50 【図 95】 この発明の実施の形態 16 の変更例のローカル制御回路の構成を示す図である。

145

【図96】 従来の混載DRAMの全体の構成を概略的に示す図である。

【図97】 従来の混載DRAMのセンスアンプ帯の構成を示す図である。

【図98】 従来の混載DRAMのメモリセルの断面構造を概略的に示す図である。

【図99】 従来の混載DRAMのストレージノードの電圧の時間変化を示す図である。

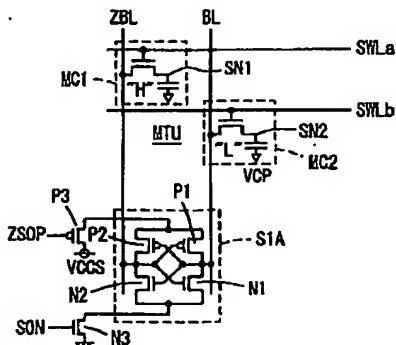
【符号の説明】

MTU ツインセルモード単位セル、MC、MC1、MC2 メモリセル、LU レイアウト単位セル、BL、ZBL ビット線、SWLL0、SWLL2、SWLL4、SWLL6、SWLL8、SWLR1、SWLR3、SWLR5、SWLR7 サブワード線、S/A センスアンプ、P3、N3 センス電源トランジスタ、MM メモリマツ、MSA メモリサブアレイ、1 入力バッファ/ラッチ回路、2 リフレッシュカウンタ、3 セレクタ、4 ブロックデコード回路、5 プリデコード回路、6 ツインセルモードコントロール回路、7 サブデコード信号発生回路、8 メインデコード信号発生回路、9 セルフリフレッシュタイマ、10 リフレッシュコントロール回路、11 行系制御回路、5c、5d NAND回路、5g-5j AND回路、2e、2s NAND回路、2t AN回路、P4、N4 センスアンプ活性化トランジスタ、SA センスアンプ、SDK センスアンプ駆動回路、CR 交差領域、21 中間電圧発生回路、BEQ ビット線イコライズ回路、42 可変遅延回路、43 アドレス活性回路、44 ワード線活性回路、45 センス活性回路、11b ローカル行制御回路、70a VPP発生回路、75a、75b VBB発生回路、90 コマンド制御回路、90a、90b セット/リセットフリップフロップ、95a リフレッシュアドレスカウンタ、95b AND回路、BPQ ビット線プリチャージ回路、BE

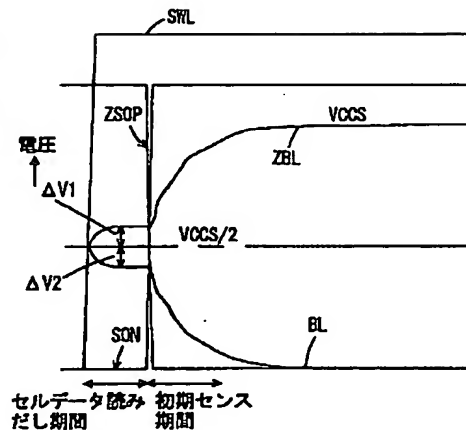
146

QL、BEQR ビット線プリチャージ/イコライズ回路、TQ1-TQ4 MOSTランジスタ、T5-T8 MOSTランジスタ、102 遅延回路、106 セレクタ、107 インバータ、108 AND回路、102a、102b 遅延回路、102c トランスファークラップ、102d AND回路、GRAP 再配置データ線対、RACSG 再配置列選択ゲート、LCTL、0-LCTLm ローカル制御回路、MCTL メイン制御回路、XFR 転送回路、200a コラムデコーダ、200b 再配置コラムデコーダ、206 プリアンプ、220、226 ゲート回路、222 AND回路、224 OR回路、230a-203d AND回路、232a-232e セット/リセットフリップフロップ、233 リセット回路、234 アドレスラッチ回路、235 ロウデコーダ、250 転送ゲート、200 コラムデコーダ、240a アンプラッチ、240b プリチャージ/イコライズ回路、280、284 立上がり遅延回路、282 選択回路、286 AND回路、GROP 読出データ線対、GWIP 書込データ線対、RCSG 読出列選択ゲート、WCSG 書込列選択ゲート、RAMP リードアンプ、300 コラムアドレス入力回路、302 コラムプリデコーダ、303 ライトコラム伝達回路、304 リードコラム伝達回路、320 カウンタ、322 選択回路、MM メモリマツ、MA0-MA7 メモリアレイ、400 ブロック変更回路、MXX0-MXX7 マルチプレクサ、FCK0-FCK7 ヒューズ回路、FLEi-FLE7 リンク素子、403 テストブロック選択回路、410 プログラム回路、412 ゲート回路、414、416 マルチプレクサ、420 AND回路、421 OR回路、422 NOR回路、425 センスプリチャージ回路、430 NAND回路、431 AND回路、435 NOR回路。

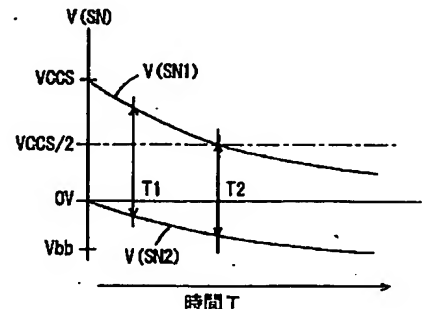
【図2】



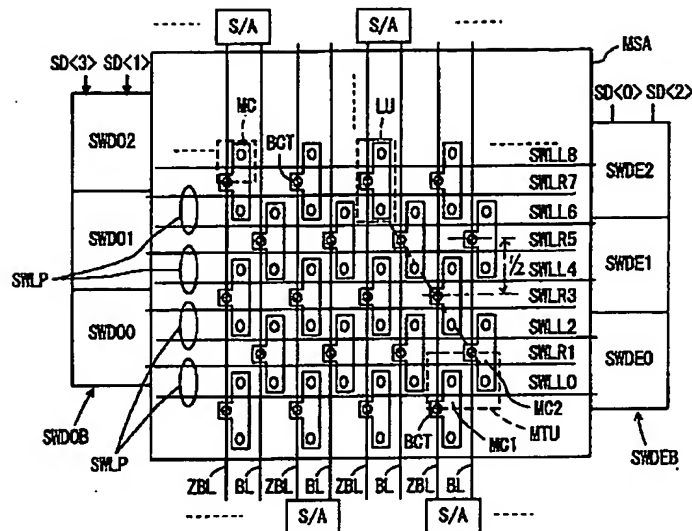
【図3】



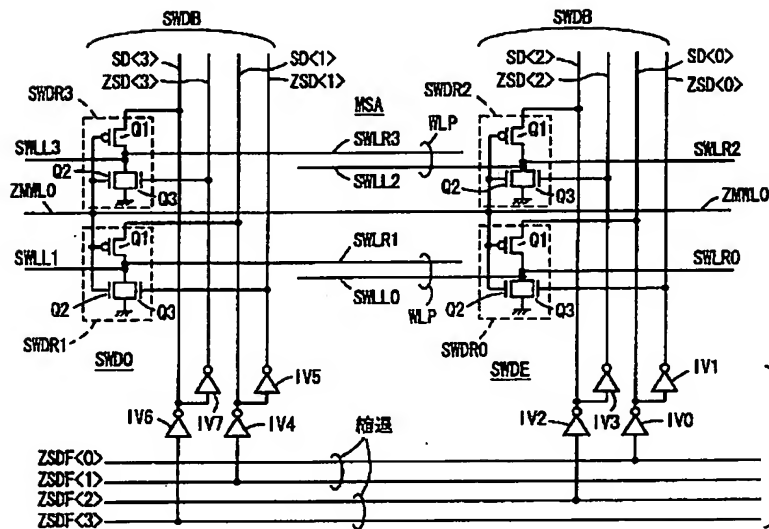
【図4】



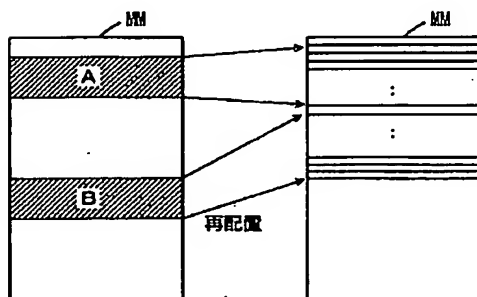
【図 1】



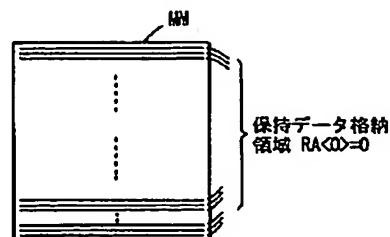
【図 6】



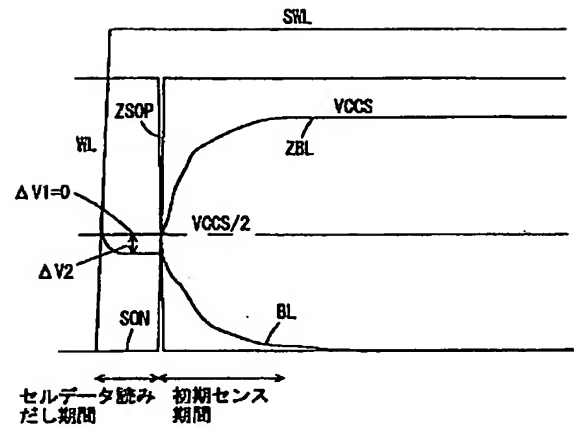
【図 8】



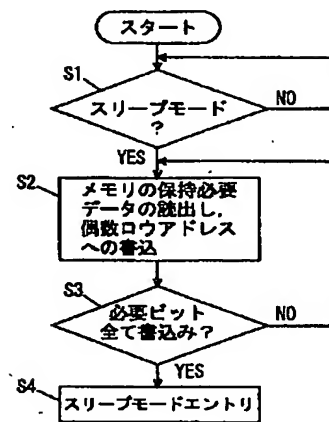
【図 9】



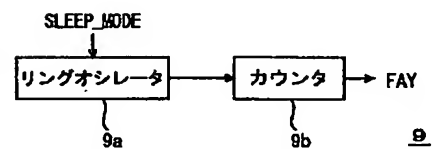
【図 5】



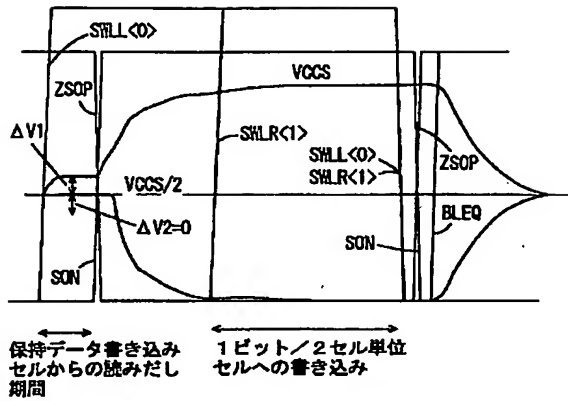
【図 7】



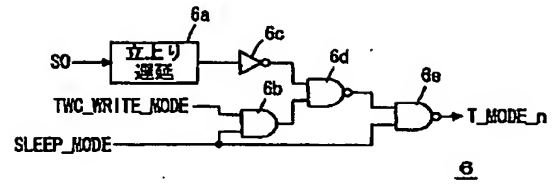
【図 19】



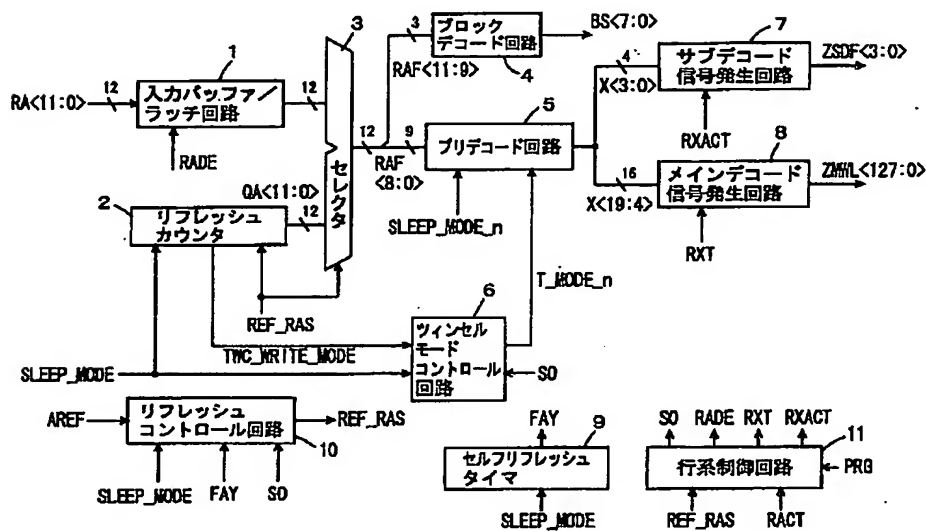
【図10】



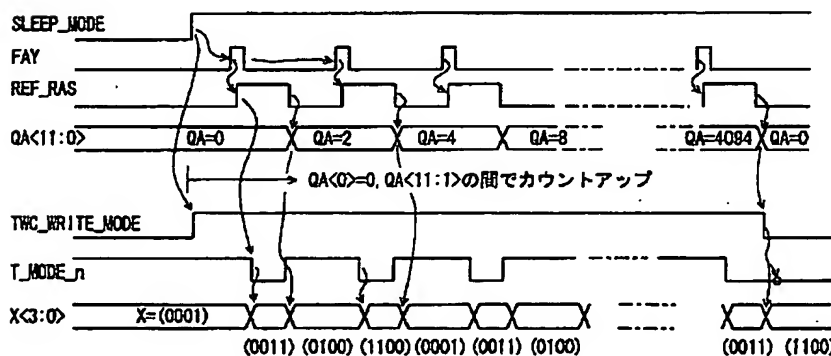
【図13】



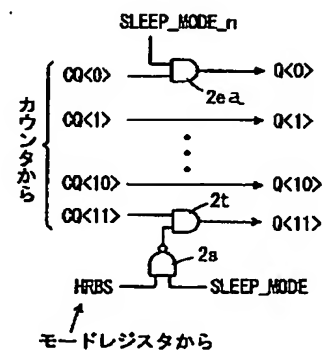
【図11】



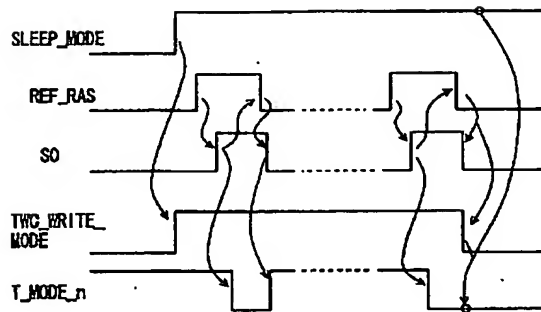
【図12】



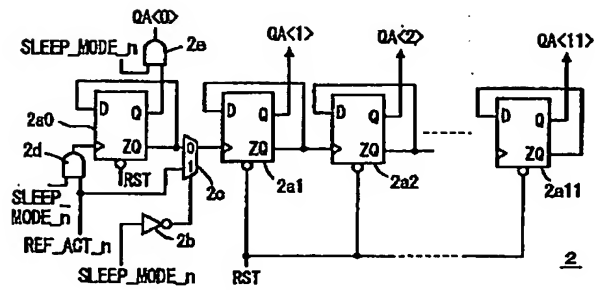
【図21】



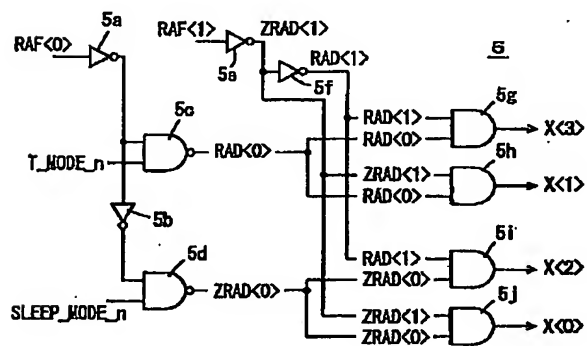
【図14】



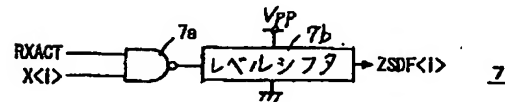
【図15】



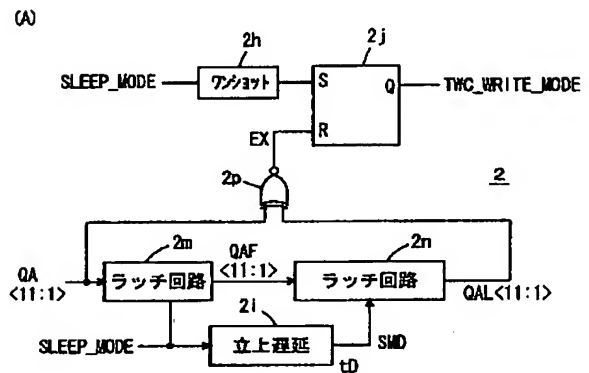
【図16】



【図17】



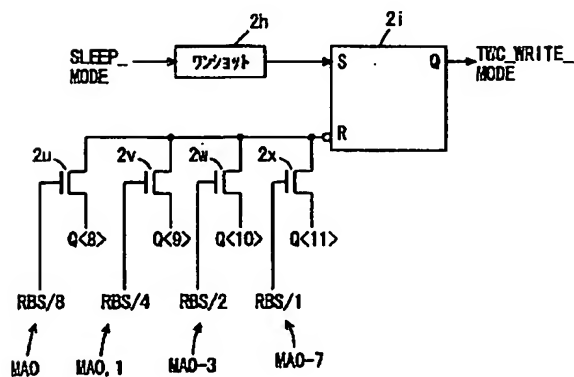
【図18】



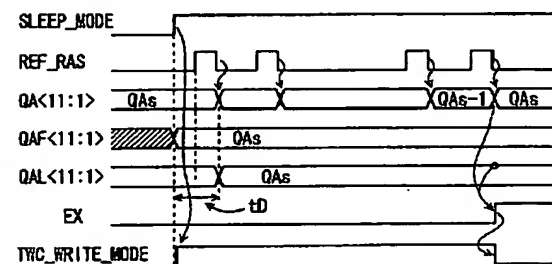
【図20】

RA<11>=0 データ保持領域	メモリアレイ	MA0	0	0	0	
		MA1	0	0	1	
		MA2	0	1	0	
		MA3	0	1	1	
		MA4	1	0	0	
		MA5	1	0	1	
		MA6	1	1	0	
		MA7	1	1	1	
			<11>	<10>	<9>	RA

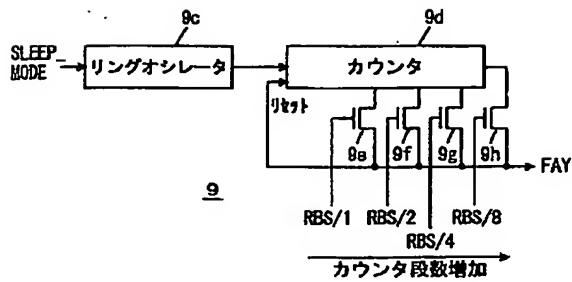
【図22】



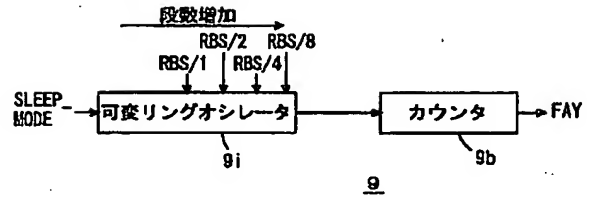
(B)



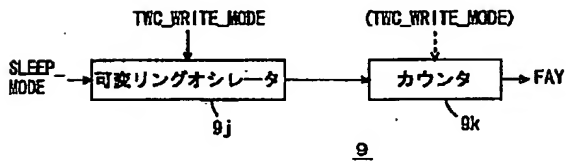
【図23】



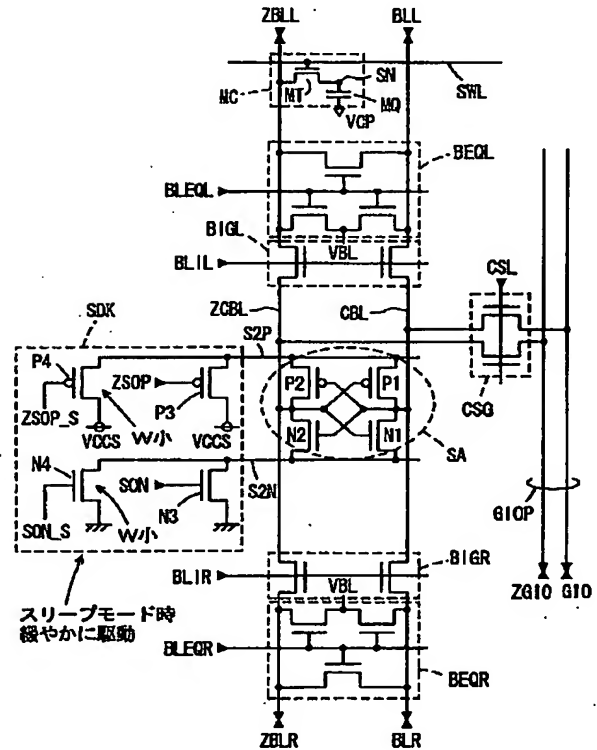
【図24】



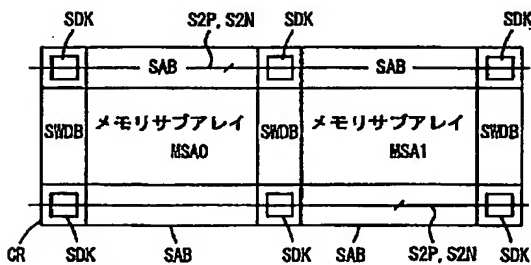
【図25】



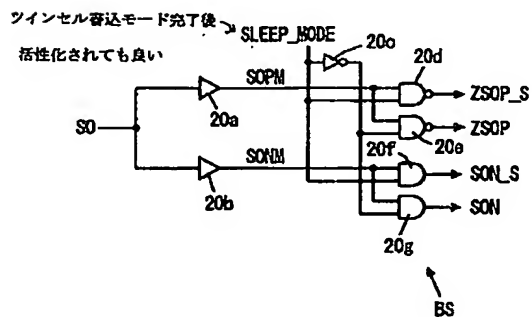
【図26】



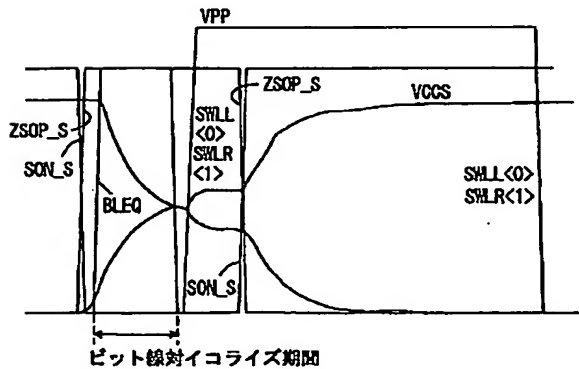
【図27】



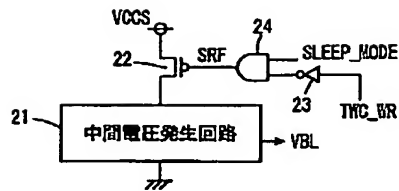
【図28】



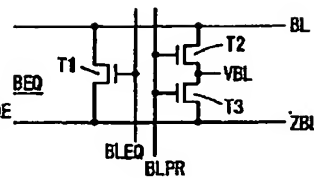
【図29】



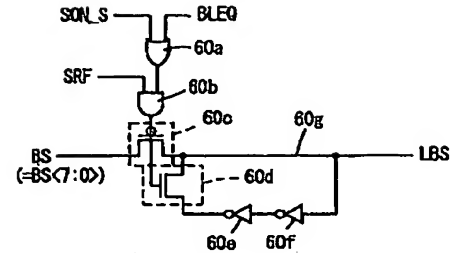
【図30】



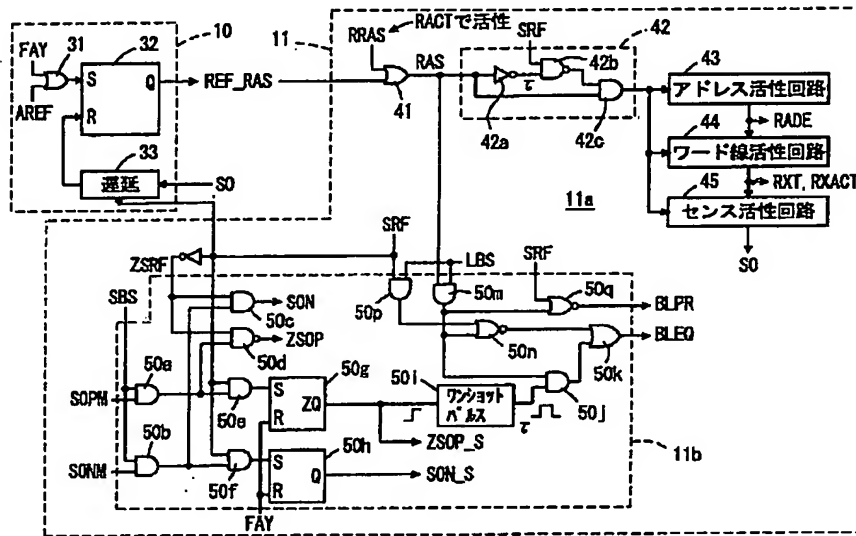
【図31】



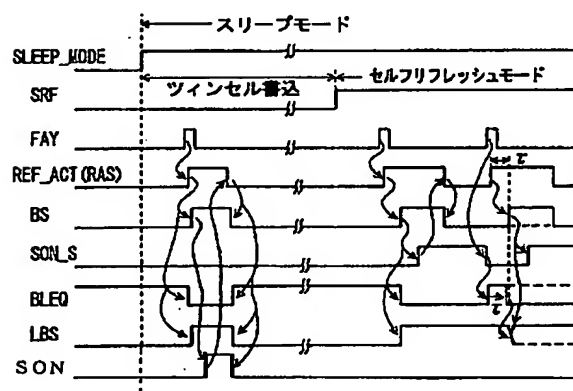
【図33】



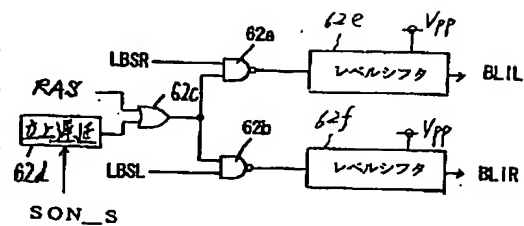
【図32】



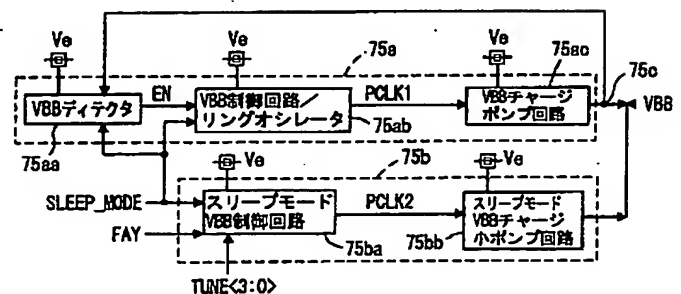
【図34】



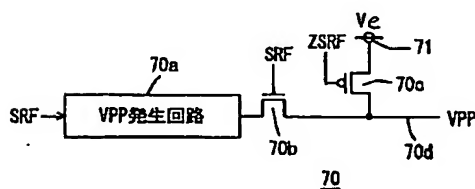
【図35】



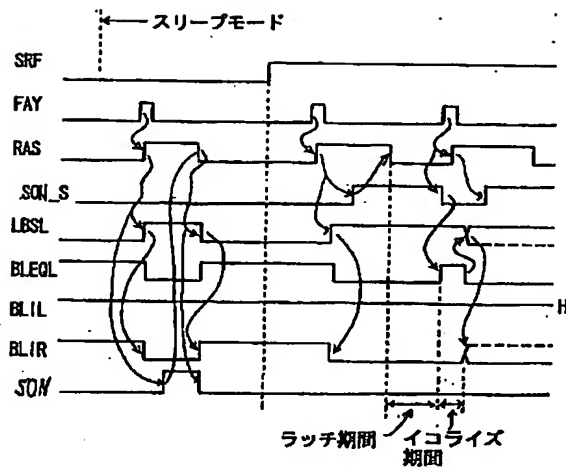
【図38】



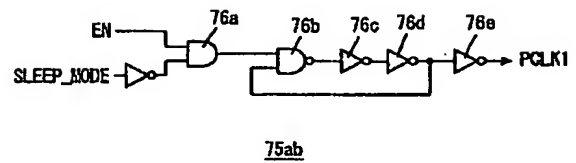
【図37】



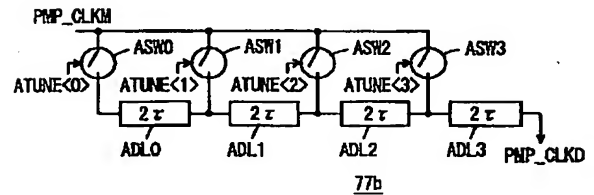
【図 36】



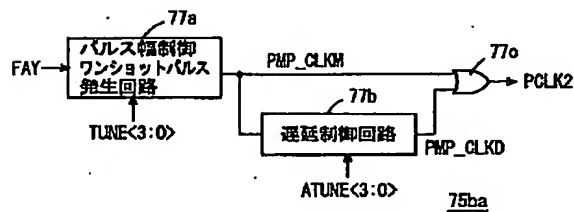
【図 39】



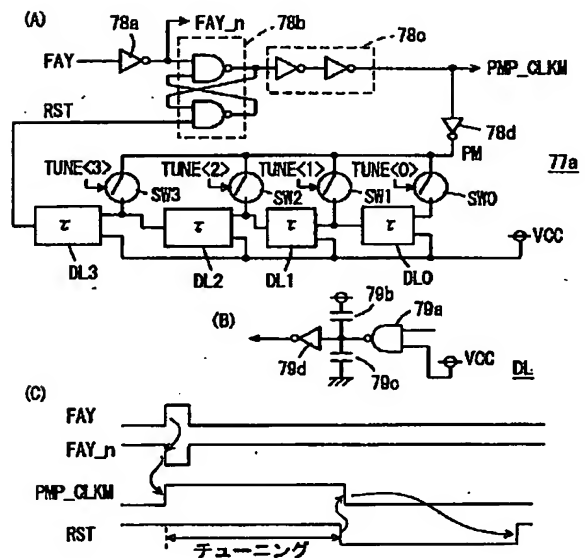
【図 42】



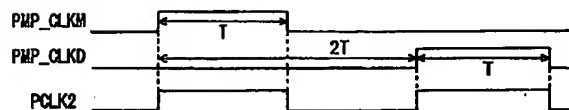
【図 40】



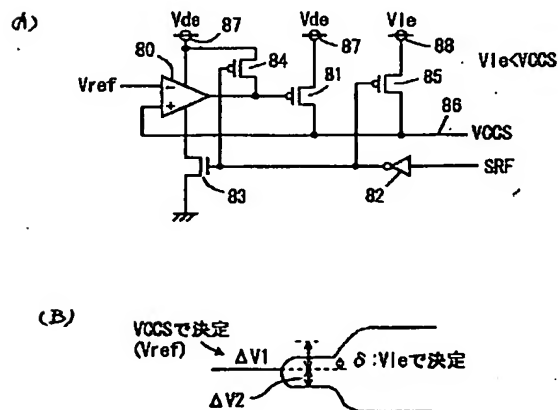
【図 41】



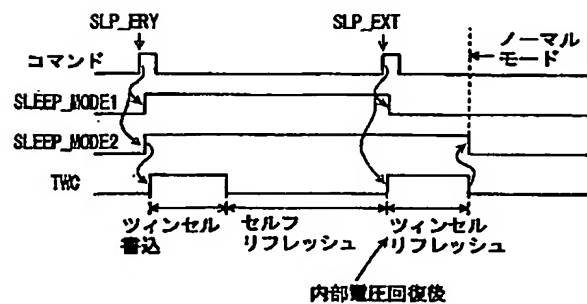
【図 43】



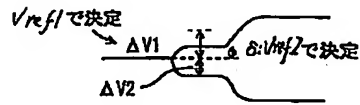
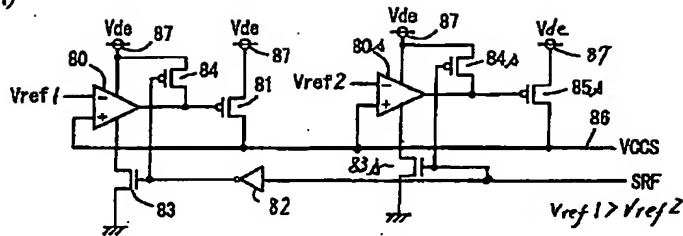
【図 44】



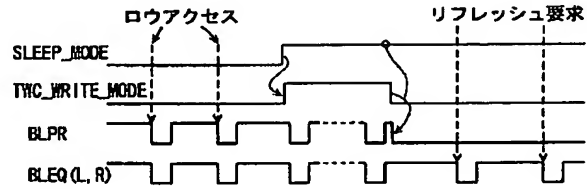
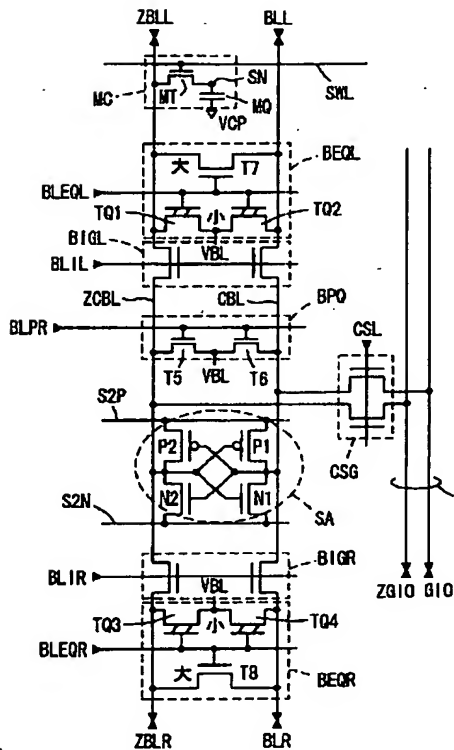
【図 47】



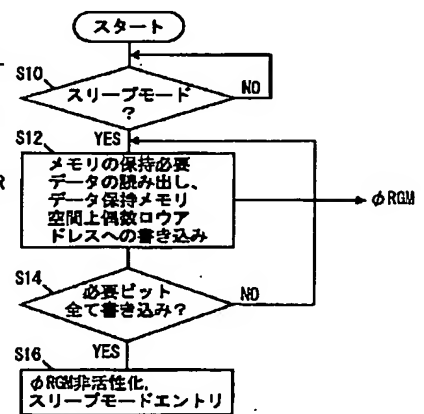
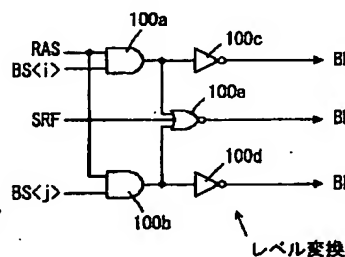
【例 46】



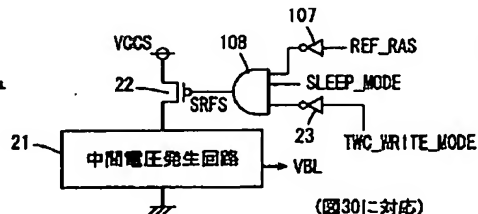
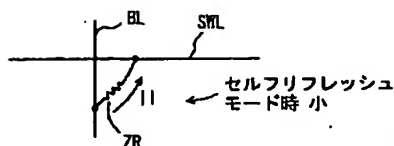
【図 49】



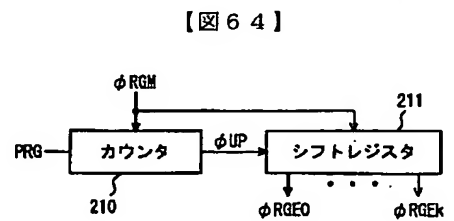
【図 6 1】



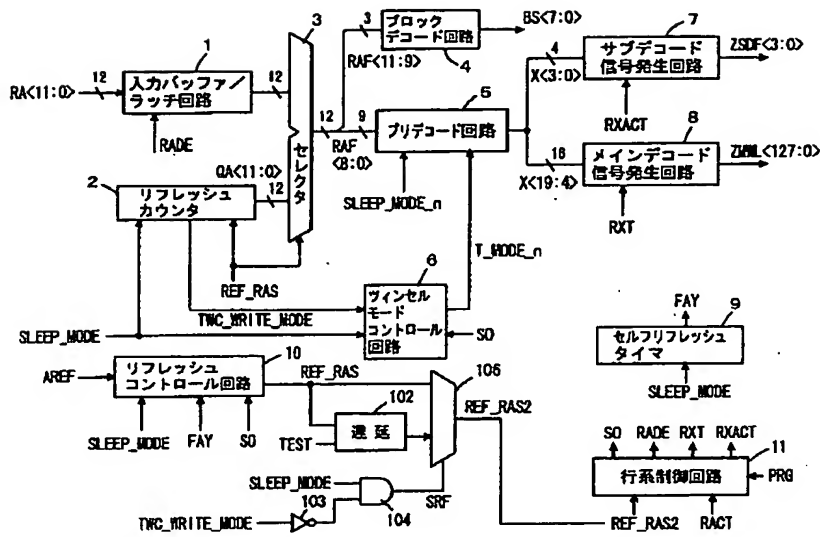
【图 5 3】



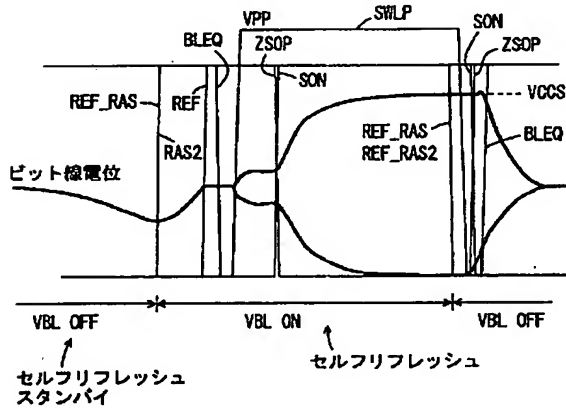
(図30に対応)



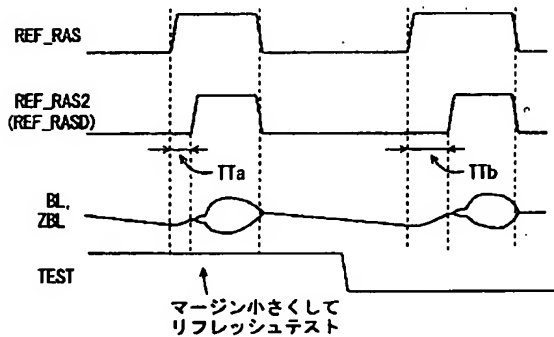
【図52】



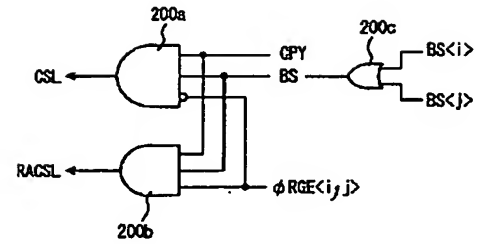
【図54】



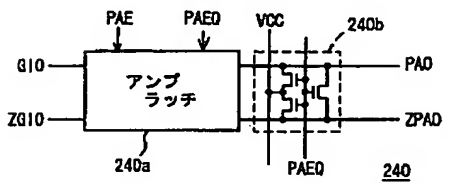
【図56】



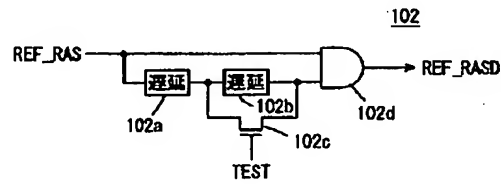
【図59】



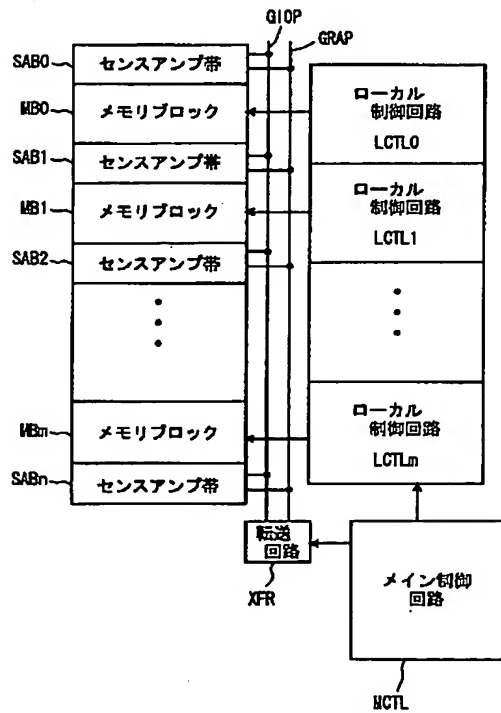
【図73】



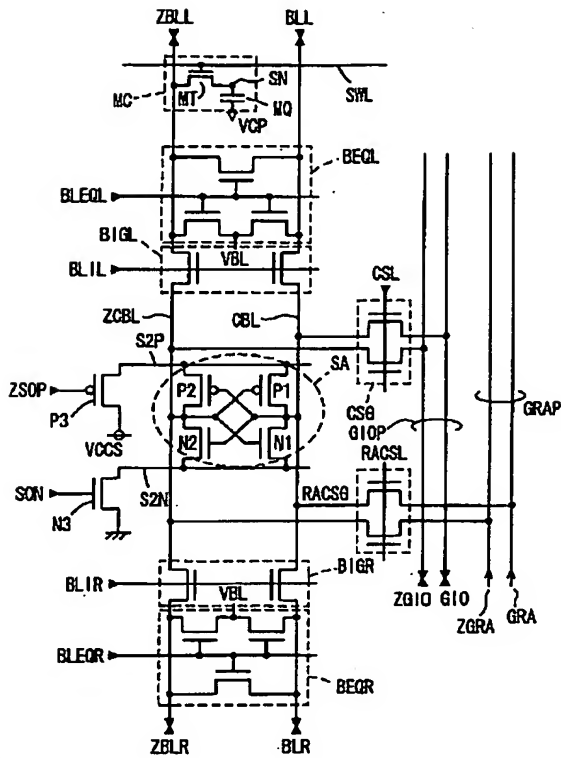
【図55】



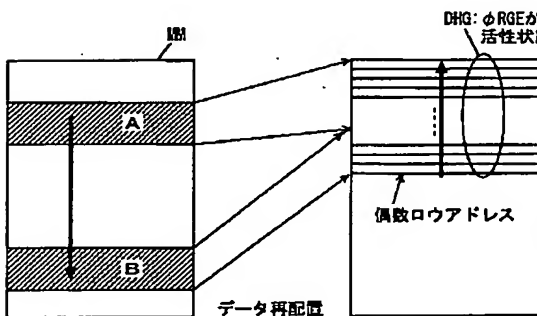
【図58】



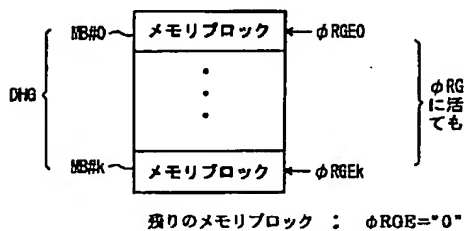
【図 57】



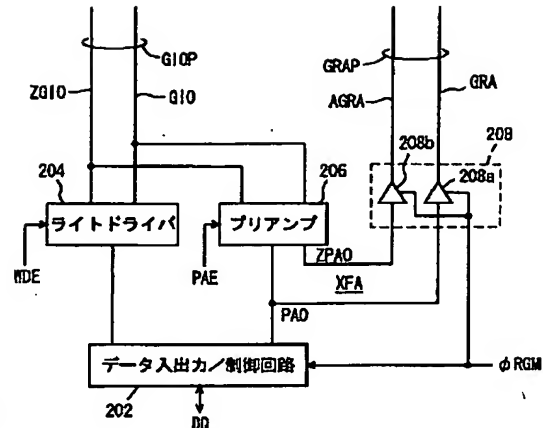
【図 62】



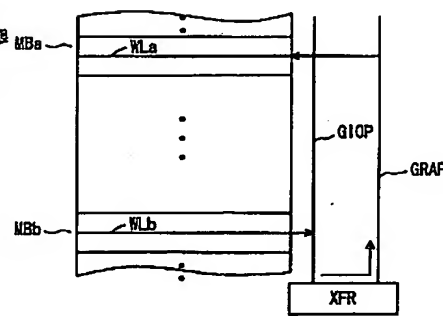
【図 65】



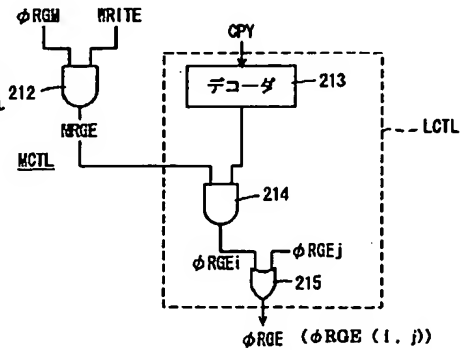
【図 60】



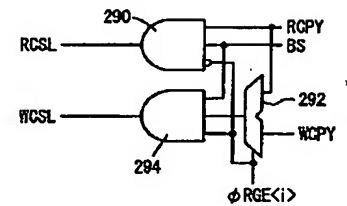
【図 63】



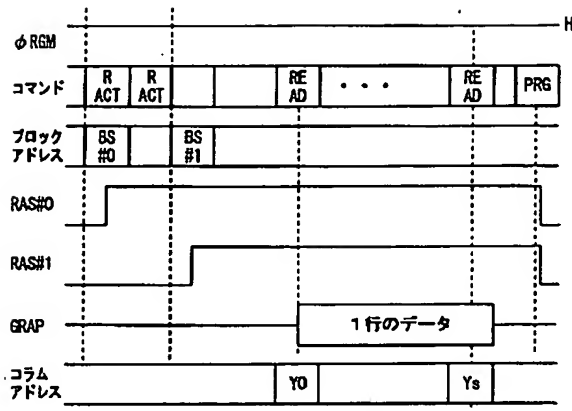
【図 66】



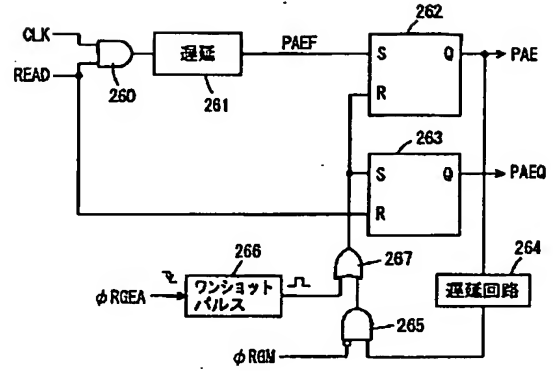
【図 80】



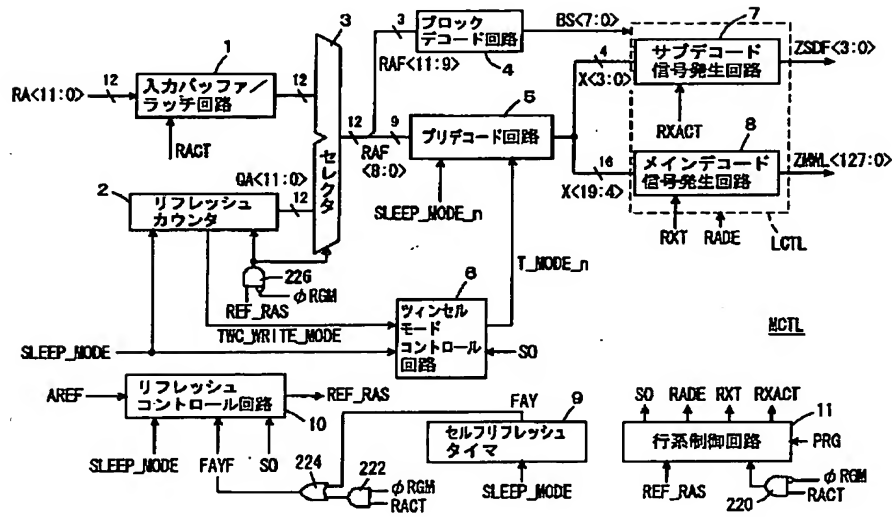
【図67】



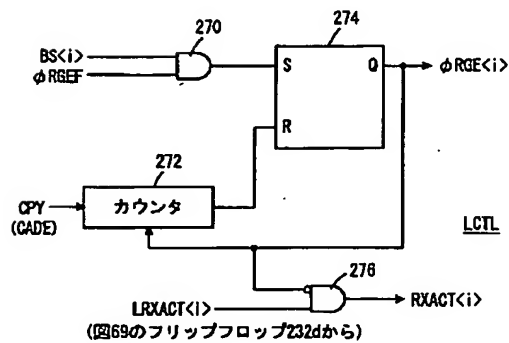
【図74】



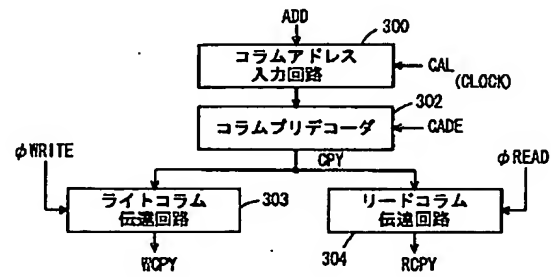
【図68】



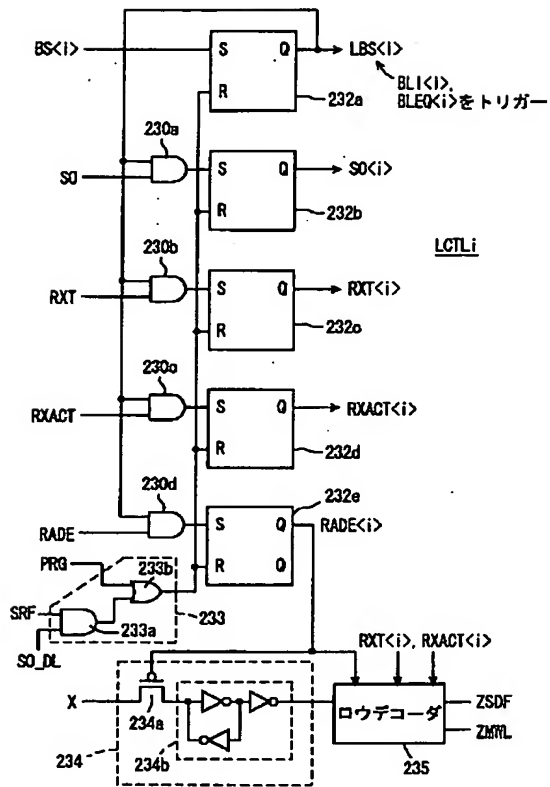
【図75】



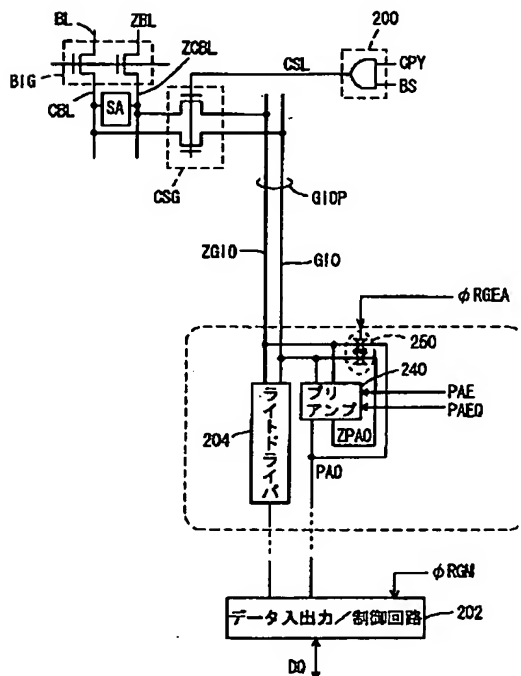
【図82】



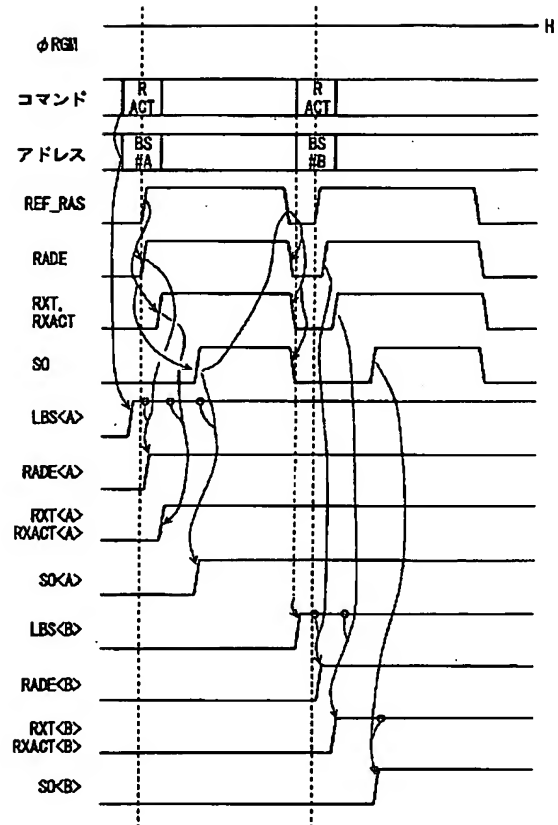
【図 69】



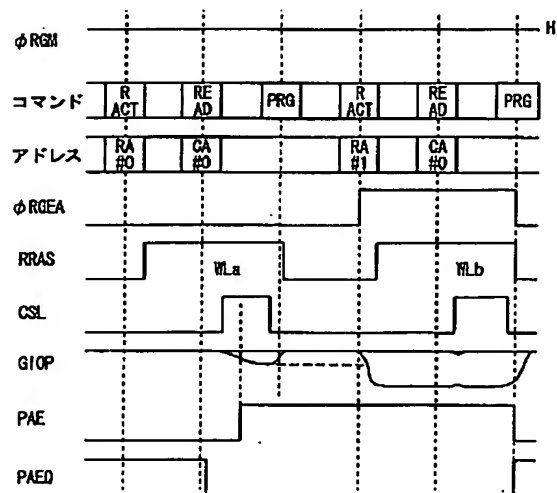
【図 71】



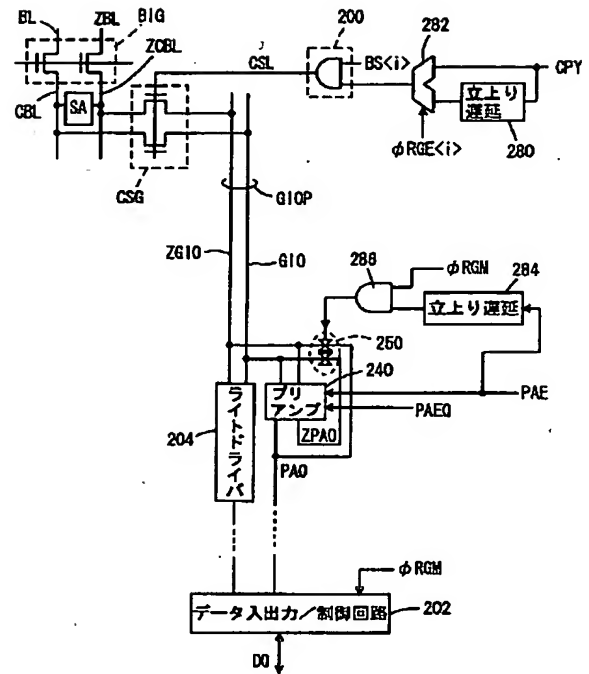
【図 70】



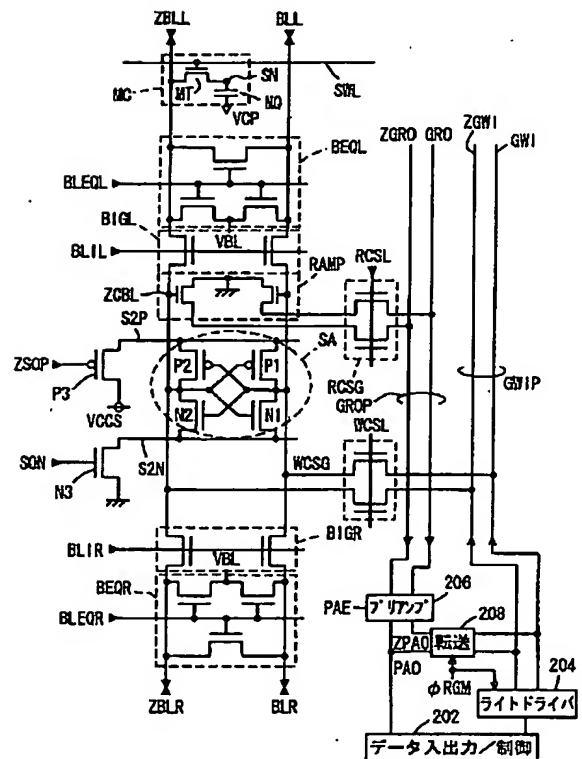
【図 72】



【图 7-7】



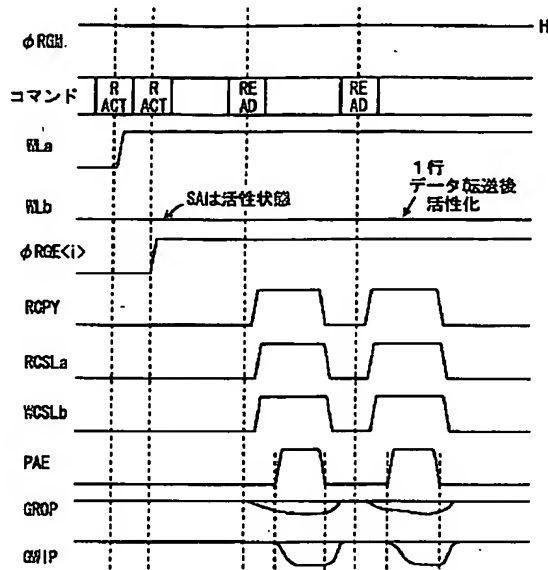
【图 7 9】



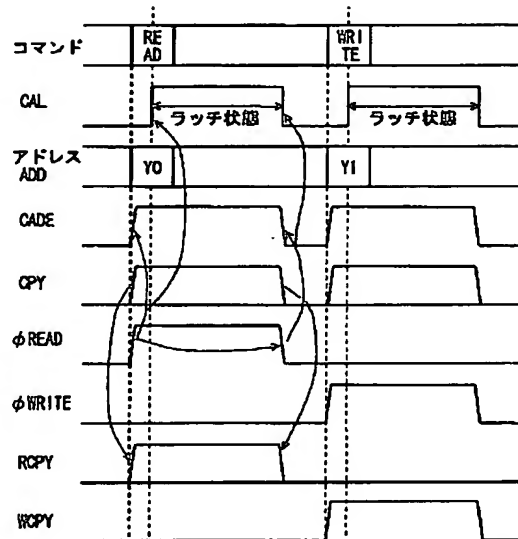
```

graph TD
    READ --> 320[カウンタ 320]
    320 --> 322{322}
    phi_RGM[φ RGM] --> 322
    322 --> 300[コラムアドレス入力回路 300]
    ADD --> 300
    phi_RGM --> 300
    300 --> 302[コラムブリドコーダ 302]
    302 --> CPY[CPY]
  
```

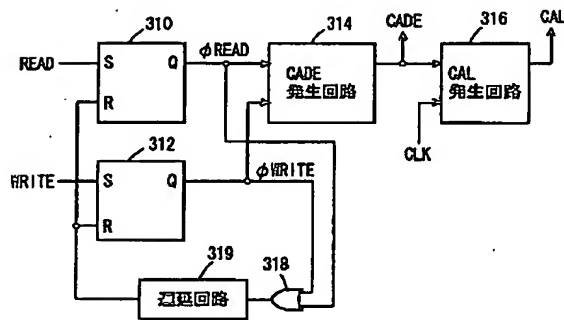

【図81】



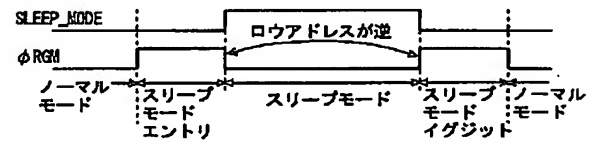
【図83】



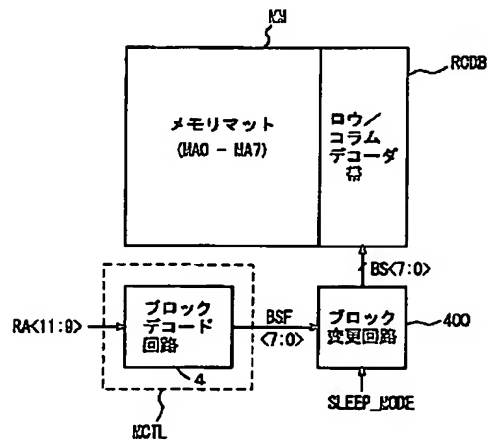
【図84】



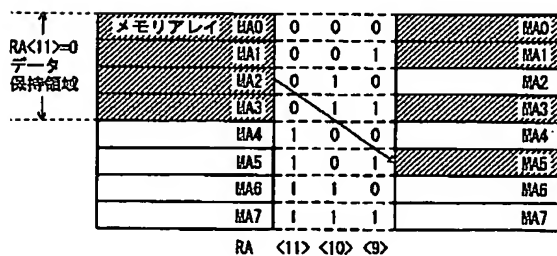
【図86】



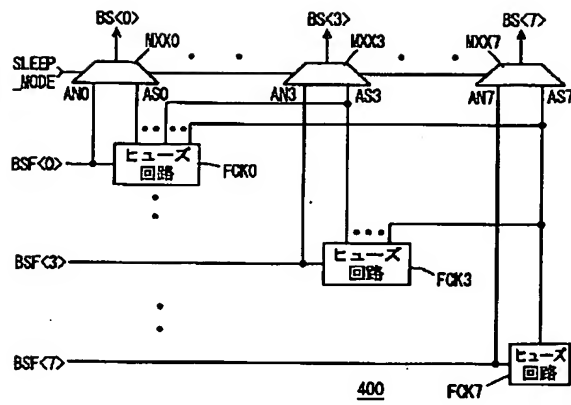
【図88】



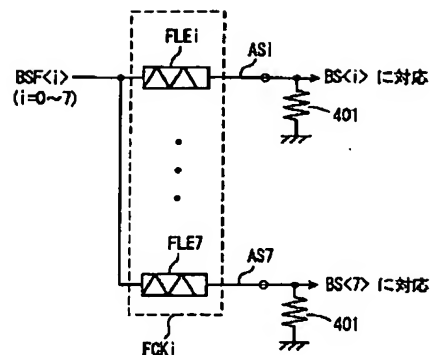
【図87】



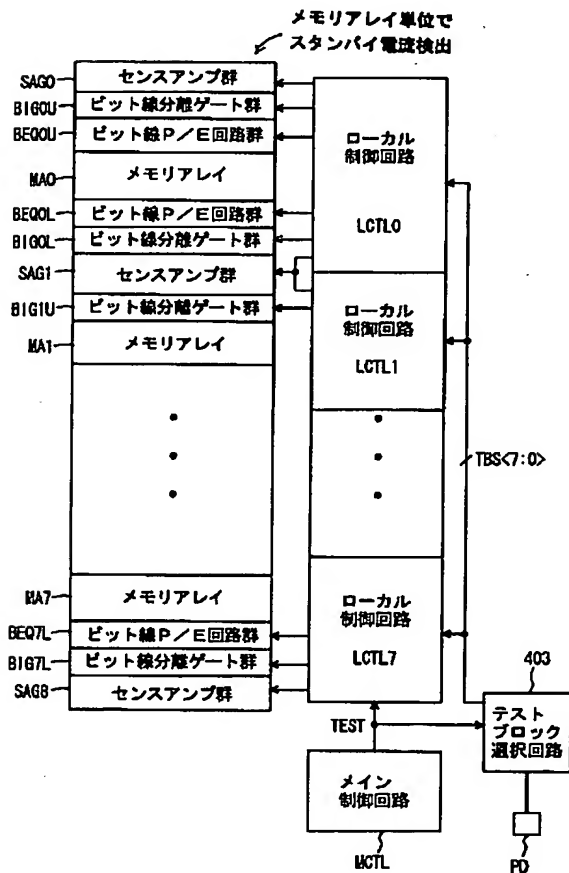
【図 89】



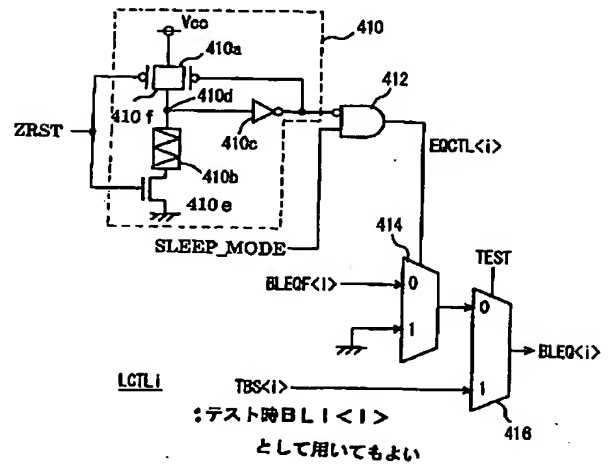
【図 90】



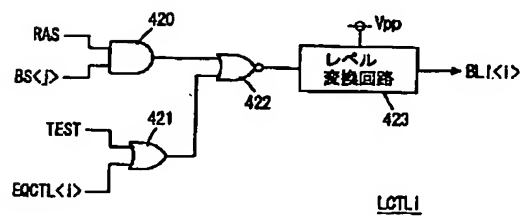
【図 91】



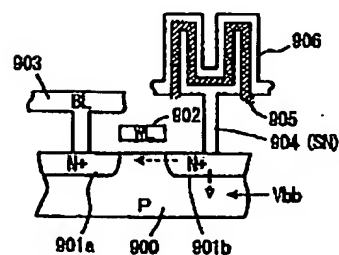
【図 92】



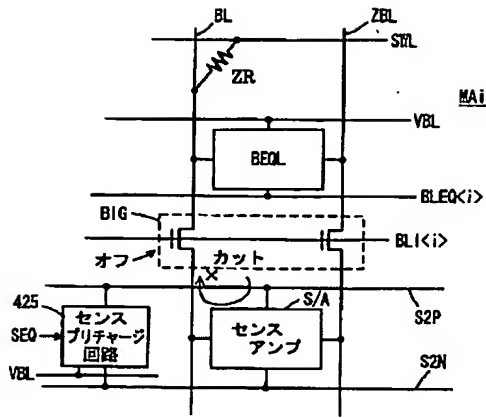
【図 93】



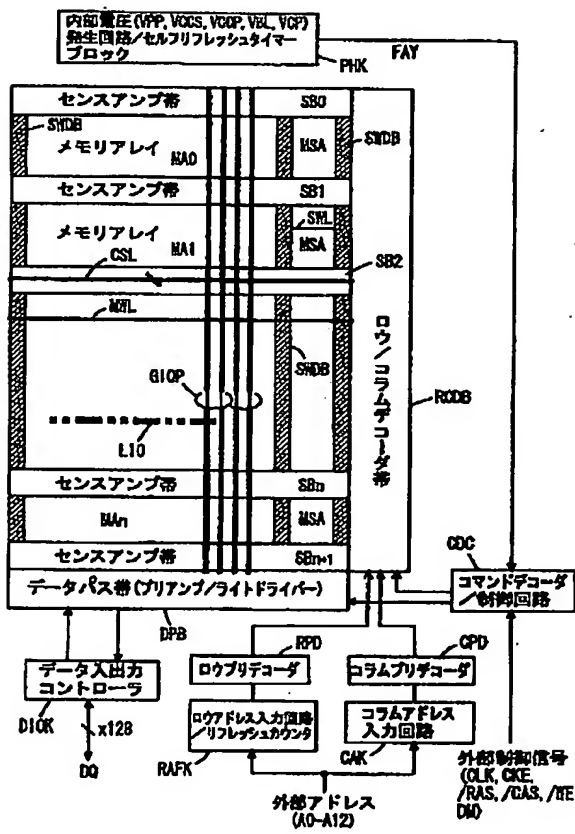
【図 98】



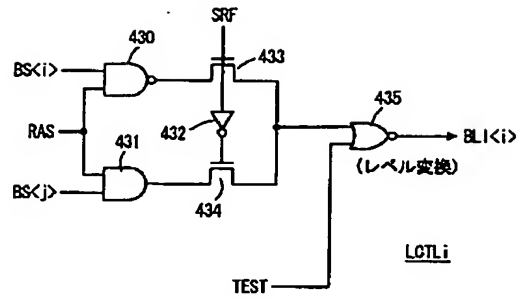
【図94】



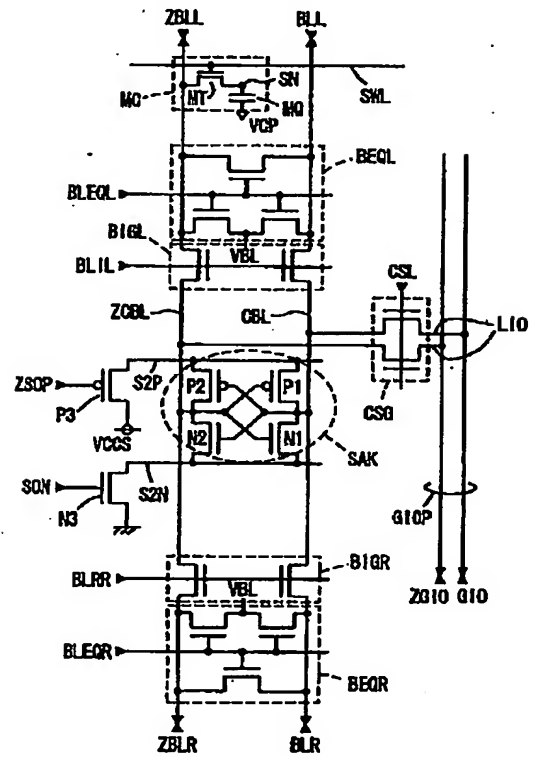
【図96】



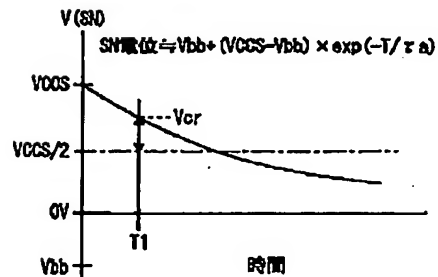
【図95】



【図97】



【図99】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 1 1 C 11/403		G 1 1 C 11/34	3 5 3 E
29/00	6 0 3		3 5 3 F
	6 7 1		3 5 4 F
			3 5 4 G
	6 7 5		3 6 2 H
			3 6 3 J
			3 6 3 M
			3 7 1 A
(72) 発明者 有本 和民		F ターム (参考)	5L106 AA01 CC08 CC13 CC16 DD12
東京都千代田区丸の内二丁目 2 番 3 号 三			GG05
菱電機株式会社内			5M024 AA04 BB07 BB08 BB09 BB15
(72) 発明者 藤野 毅			BB20 BB29 BB35 BB36 BB39
東京都千代田区丸の内二丁目 2 番 3 号 三			CC22 CC23 CC63 CC65 CC77
菱電機株式会社内			CC82 EE05 EE23 EE24 EE29
			FF03 FF06 FF12 FF13 FF25
			FF26 GG01 GG20 HH10 LL20
			MM04 MM11 QQ10